

1 個の演算増幅器を用いた接地形高次 イミタンス・シミュレーション (その3)

加藤 芳信 ・ 山本 和輝

Simulation of Grounded Type Higher-order Immittance
Using a Single Operational Amplifier (Part III)

Yoshinobu KATO, Kazuki YAMAMOTO

Algorithms for the realization of grounded type higher-order immittance elements using a single operational amplifier, which have been proposed by Prof. Noguchi, are unified. The realization of FDNCA ($Y=s^2E$), FDNR ($Y=1/s^2M$), FDNC ($Y=s^2D$), inductance ($Y=1/sL$) and capacitance-multiplier ($Y=sC$) is digged. By using a computer, new circuits are derived.

As the sequel to recent papers (Part I, Part II), this paper (Part III) deals with the realization of capacitance-multiplier in Chapter 2. The proposed circuit of capacitance-multiplier consists of one operational amplifier, two capacitors and four resistors. It possesses a feature that the capacitance-value can be varied by an ungrounded resistor. The experimental values agree fairly with the theoretical values in the low frequency range.

In Chapter 3, the third-order low-pass filter using FDNCA and the second-order high-pass filter using FDNR, are analyzed by using the program SPICE. The results which are obtained from AC analysis of SPICE, agree with the experimental results which have been shown in the paper (Part I).

1. まえがき

本論文(その3)では、前論文(その1)²⁰⁾、(その2)²⁰⁾に引続き、1 個の演算増幅器を含む5 節点(但し、アース点も1つの節点と見なす)の回路構造による接地形高次イミタンス素子の実現法について考察する。なお、本論文における式番号、図番号、表番号、文献番号は前論文26), 28)と共通である。即ち、式(1)~(50)、図1~9、表1~2、文献1)~25)は前論文26)に示されており、式(51)~(103)、図10~19、表3、文献26)~27)は前論文28)に示されている。又、用語の意味や実験方法も前論文26), 28)に示されている。それらの詳細については、前論文26), 28)を参照されたい。

ここで、まず、前論文(その1)²⁰⁾の概要を述べる。第2章では、野口氏の回路構成法^{6-12, 14)}を統一化して、1 個の演算増幅器を含む5 節点の基本回路(図2)の一般式(6), (7)を明示し、次章以降で述べる接地形高次イミタンス素子導出のための計算機シミュレーションの準備を行った。第3章では、3 次アド

ミタンス素子 ($Y=s^2E$) である周波数依存形負性容量 (FDNCAP) について考察し, 計算機シミュレーションにより導出された新回路 (図3) を提案し, 3次LPF (低域通過フィルタ) へ応用した。第4章では, 2次インピーダンス素子 ($Z=s^2M$) である周波数依存形負性抵抗 (FDNR) について考察し, 計算機シミュレーションにより導出された新回路 (図6) を提案し, 2次HPF (高域通過フィルタ) へ応用した。

次に, 前論文 (その2)²⁰⁾ の概要を述べる。第2章では, 2次アドミタンス素子 ($Y=s^2D$) である周波数依存形負性コンダクタンス (FDNC) について考察し, 計算機シミュレーションにより導出された新回路 (図10) を提案し, 2次LPFと2次BPF (帯域通過フィルタ) へ応用した。第3章では, 1次インピーダンス素子 ($Z=sL$) であるインダクタンスについて考察し, 計算機シミュレーションにより導出された新回路 (図15) を提案し, 2次HPFへ応用した。又, 図15の回路が, 1個の接地された抵抗を変化することにより等価インダクタンスを可変できることの確認実験も行った。

本論文 (その3) では, 第2章において, 1次アドミタンス素子 ($Y=sC$) であるキャパシタンス・マルチプライアについて考察する。更に, 第3章において, この一連の論文 (その1~3) で与えた幾つかのフィルタへの応用例について, アナログ電子回路解析プログラムSPICE²⁰⁻²³⁾を用いて解析した結果と実験結果を比較検討する。

2. 接地形キャパシタンス・マルチプライアの実現と実験²²⁾

キャパシタンス・マルチプライア (Capacitance-multiplier) は, 小さな容量と抵抗と能動素子 (例えば, 演算増幅器) を用いて, 等価的に大きな容量を実現する回路である。モノリシック集積回路において, 直接的に実現できる容量値はその面積で制限を受けるため, 一般に数[pF]から数百[pF]までである。従って, 小容量を用いて等価的に大容量を実現するキャパシタンス・マルチプライアは, 特に, 低周波のアナログ回路を集積化する際に有用である^{6, 7, 14)}。

今までに発表されている1個の演算増幅器を用いた接地形キャパシタンス・マルチプライアの実現回路として, (1) 文献14)の図2(a)の容量1個と抵抗5個から成る回路, (2) 文献6)の図8の容量2個と抵抗3個から成る回路, (3) 文献14)の図2(c)の容量2個と抵抗3個から成る回路, (4) 文献14)の図2(e)の容量2個と抵抗3個から成る回路, (5) 文献7)の図5の容量3個と抵抗3個から成る回路 (但し, 理想的には文献14)の図3(d)の様に容量2個と抵抗2個でよいが, 実際に安定動作させるために容量と抵抗の数が増える), などがある。これらのうち, (2)と(3)の回路は, 1個の抵抗を変化することにより, 等価容量を可変できるという特徴を有する。なお, 文献14)には, (1)~(5)以外の回路も示されているが, それらは, 容量や抵抗の数が多し。又, 文献14)の図3(c)の容量2個と抵抗2個から成る回路は, 演算増幅器の入力端子に直流バイアス電流を与えられない構造のため, 正常に動作しない。

本章では, 前論文^{26), 28)}と同様に図2の基本回路に対して計算機シミュレーションを行った結果, 新回路は見出せなかったが, (2)の変形回路として, 1個の非接地の抵抗を変化することにより等価容量を可変できる, 有用な回路 (図20に示す容量2個と抵抗4個から成る回路) を見出し, 更に, 実験を行った結果も良好であったので報告する²²⁾。

2. 1 接地形キャパシタンス・マルチプライアの実現

図 2 の基本回路²⁰⁾で、各アドミタンス y_{ij} は容量 C_{ij} とコンダクタンス G_{ij} の並列接続で表されるとする。即ち、

$$y_{ij} \triangleq sC_{ij} + G_{ij} \quad (5)$$

$$= sc_{ij}C + g_{ij}G \quad (\text{但し, } i, j \triangleq 0 \sim 4) \quad (8)$$

ここで、 s は複素周波数である。 C は基準容量、 G は基準コンダクタンスである。 c_{ij} 、 g_{ij} は非負の実係数である。演算増幅器が理想的 (即ち、ナレータ・ノレータ対と等価) であると仮定すれば、図 2 の入力アドミタンスは

$$Y_{in} = \frac{s^3 n_3 + s^2 n_2 + s n_1 + n_0}{s^2 d_2 + s d_1 + d_0} \quad (6)$$

と表される。 $n_3 \sim n_0$ 、 $d_2 \sim d_0$ の詳細は前論文²⁸⁾の式(7)を参照されたい。

図 2 の基本回路で接地形キャパシタンス・マルチプライアを実現するには、式(6)が次の形

$$Y_{in} = sC_0 \quad (104)$$

になればよい。即ち、次の条件 1 及び 2 を満足すればよい。

$$[\text{条件 1}] \quad n_0 = 0 \quad (105)$$

〔条件 2〕 次の Case 1~7 の何れかを満足すること。

$$\text{Case 1 : } n_3 = n_2 = d_2 = d_1 = 0 \text{ かつ } C_0 \triangleq n_1/d_0 > 0 \quad (106)$$

$$\text{Case 2 : } n_3 = n_1 = d_2 = d_0 = 0 \text{ かつ } C_0 \triangleq n_2/d_1 > 0 \quad (107)$$

$$\text{Case 3 : } n_2 = n_1 = d_1 = d_0 = 0 \text{ かつ } C_0 \triangleq n_3/d_2 > 0 \quad (108)$$

$$\text{Case 4 : } n_3 = d_2 = 0 \text{ かつ } C_0 \triangleq n_2/d_1 = n_1/d_0 > 0 \quad (109)$$

$$\text{Case 5 : } n_2 = d_1 = 0 \text{ かつ } C_0 \triangleq n_3/d_2 = n_1/d_0 > 0 \quad (110)$$

$$\text{Case 6 : } n_1 = d_0 = 0 \text{ かつ } C_0 \triangleq n_3/d_2 = n_2/d_1 > 0 \quad (111)$$

$$\text{Case 7 : } C_0 \triangleq n_3/d_2 = n_2/d_1 = n_1/d_0 > 0 \quad (112)$$

計算機を用いて、式(8)の c_{ij} 及び g_{ij} を 0, 1, 2, 3, 4 と変化させて、条件 1 及び 2 を満足する素子

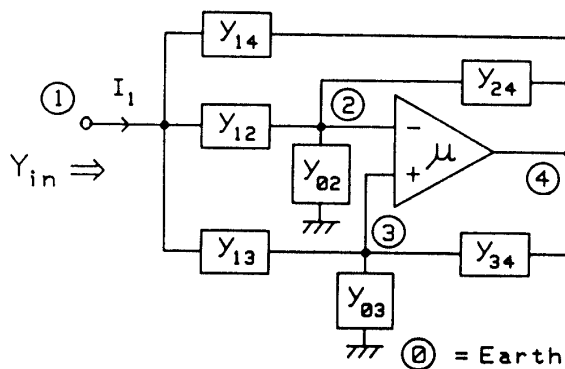


図 2. 1 個の演算増幅器を含む
5 節点の基本回路
(アース点も 1 つの節点と見なす)

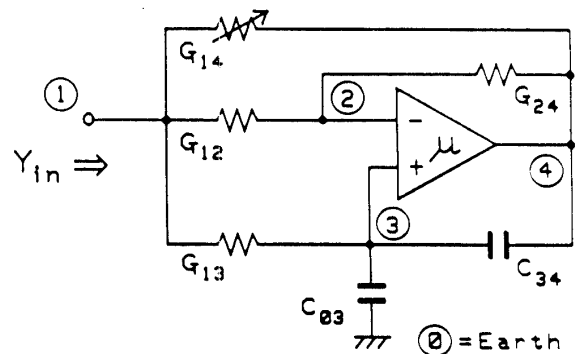


図 20. 容量 2 個と抵抗 4 個から構成される接地形
抵抗可変キャパシタンス・マルチプライア回路
(文献 6) の変形回路: G_{14} を変化することにより
等価容量を可変できる回路)

値の組合せを求めた。但し、容量や抵抗の数が多い実現回路は工学的に無意味であるので、容量の数が4個以下で、かつ、容量と抵抗の数の和が8個以下の場合について計算機シミュレーションを行った。その結果、文献6)の図8の変形である興味深い回路を見出したので、それを図20に示す。図20で G_{14} を開放除去した回路が、文献6)の図8 (この回路は、 G_{13} の値を変化することにより等価容量 C_0 を可変できる) である。図20の接地形キャパシタンス・マルチブライア回路の素子値の組合せは、 G_{14} が零および非零の場合を含めて、294通りもあるので、紙数の都合上、1通りだけを次に示す。

$$\text{【組合せC-1】} \quad C_{03}=2C, \quad C_{34}=1C, \quad G_{12}=G_{14}=2G, \quad G_{13}=G_{24}=1G$$

この組合せC-1の場合、式(7)及び(6)は次の様になる。

$$\left. \begin{aligned} n_3 &= n_2 = n_0 = d_2 = 0 \\ n_1 &= C_{03}G_{24}(G_{12} + G_{13} + G_{14}) + G_{14}C_{03}G_{12} = 6CG^2(1 + G_{14}/G) = 18CG^2 \\ d_1 &= G_{24}C_{03} - C_{34}G_{12} = 0 \\ d_0 &= G_{24}G_{13} = 1G^2 \end{aligned} \right\} \quad (113)$$

$$\therefore Y_{1n} = sn_1/d_0 = s6C(1 + G_{14}/G) = s18C = sC_0 \quad (114)$$

$$\therefore \text{等価容量 } C_0 = 18C \quad (115)$$

式(113)で、 G_{14} が関与するのは n_1 の項だけである。従って、組合せC-1で G_{14} を変化する (但し、 $0 \leq G_{14} < \infty$) ことにより、等価容量 C_0 を次式の様に可変できる。

$$C_0 = n_1/d_0 = 6C(1 + G_{14}/G) \quad (116)$$

2. 2 接地形抵抗可変キャパシタンス・マルチブライア特性

図20の回路の入力アドミタンス Y_{1n} が、等価容量 C_0 と等価コンダクタンス G_0 の並列接続で表される、即ち、

$$Y_{1n} = j\omega C_0 + G_0 = j2\pi fC_0 + G_0 \quad [S] \quad (117)$$

と仮定する。ここで、 $j \triangleq \sqrt{-1}$ 、 ω は角周波数 [rad/sec]、 f は周波数 [Hz] である。キャパシタンス・マルチブライア特性の良さを表す品質係数 Q は次式で定義される。

$$Q \triangleq \omega C_0/G_0 = 2\pi fC_0/G_0 \quad (118)$$

図20の回路の素子値の組合せC-1で、基準容量 $C=0.01[\mu F]$ 、基準コンダクタンス $G=10^{-4}[S]$ と選んで、 G_{14} を変化させる実験を2種類行った。実験に用いた容量及び抵抗の誤差は0.2%以下である。

【実験1】 G_{14} 対 C_0 および G_0 特性測定

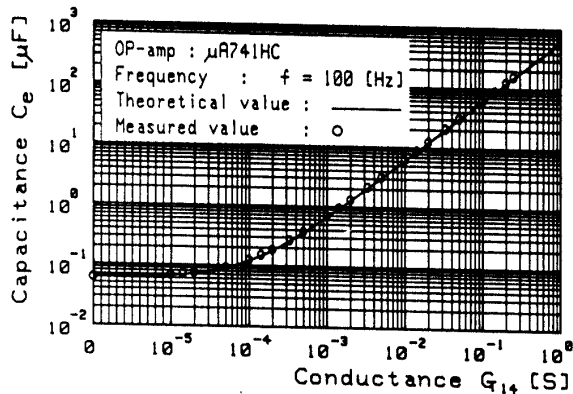
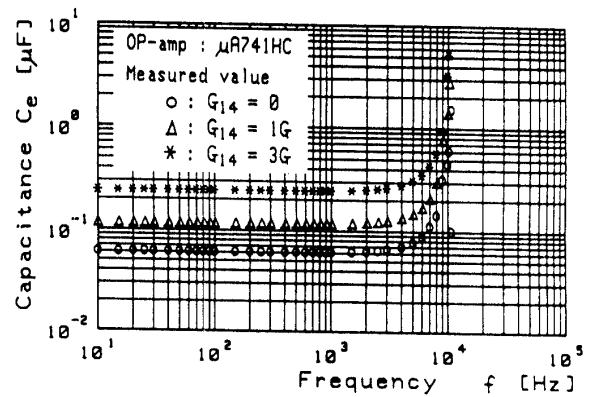
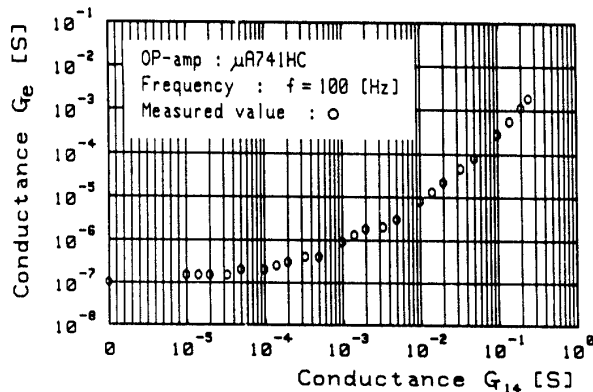
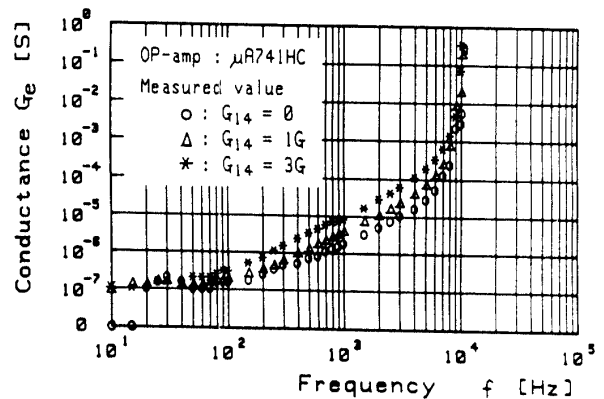
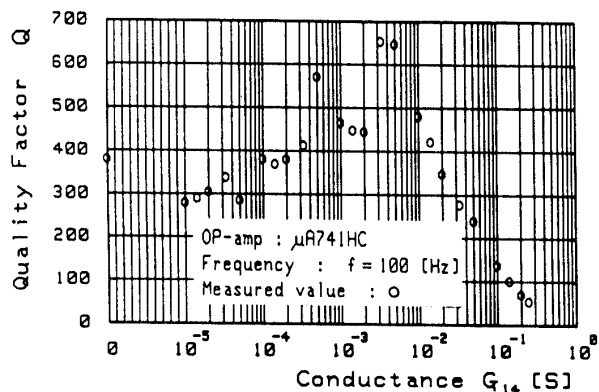
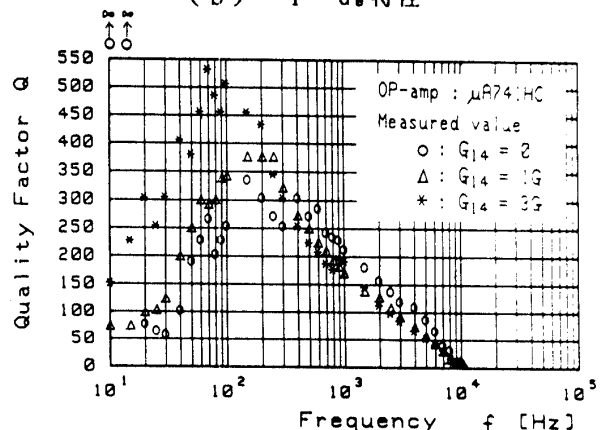
式(116)、(114)、(118)より、 C_0 、 G_0 、 Q の理論値は次の様である。

$$\left. \begin{aligned} C_0(\text{理論値}) &= 0.06(1 + G_{14}/10^{-4}) \quad [\mu F] \\ G_0(\text{理論値}) &\equiv 0 \quad [S] \\ \therefore Q(\text{理論値}) &\equiv \infty \end{aligned} \right\} \quad (119)$$

横河ヒューレットパッカード株式会社製のLFインピーダンス・アナライザ 4192Aを用いて、 $f=10$ 、100、1000[Hz]の各場合について、 G_{14} を変化したときの C_0 と G_0 の値を実測した。図21に、 $f=100$ [Hz] の場合の実験結果を示す。なお、 $G_{14} \geq 0.333[S]$ のとき、演算増幅器が熱暴走を起こし、測定できない。

図21(a)より次のことが分かる。 C_0 の実測値と理論値はよく一致している。又、 $G_{14}=0[S]$ (即ち、開

放除去) のとき C_e の実測値 (理論値) は 0.06039 (0.06) [μF] であり, $G_{14}=0.25[\text{S}]$ のとき C_e の実測値 (理論値) は 153.19 (150.06) [μF] である。従って, C_e は実測値で約 2537 倍可変できたことになる (但し理論値では 2501 倍でなければならない)。図 21(b) より次のことが分かる。 G_{14} が小さいときは, G_e の実測値は理論値の $0[\text{S}]$ に近く, 特性が良いが, G_{14} が大きくなるに従い, G_e の実測値は大きな値となり,

(a) $G_{14}-C_e$ 特性(a) $f-C_e$ 特性(b) $G_{14}-G_e$ 特性(b) $f-G_e$ 特性(c) $G_{14}-Q$ 特性(c) $f-Q$ 特性図 21. 図 20 の回路の G_{14} 変化特性

(但し, 電源電圧 $V_s = \pm 15[\text{V}]$, 入力電圧 $V_i = 1[\text{V}_{\text{rms}}]$, 温度 $T_a = 21[^\circ\text{C}]$; グラフの横軸は, $0 \leq G_{14} \leq 10^{-5}[\text{S}]$ のとき線形目盛, $10^{-5} \leq G_{14} \leq 10^0[\text{S}]$ のとき対数目盛である。)

図 22. 図 20 の回路の周波数特性

(但し, $V_s = \pm 15[\text{V}]$, $V_i = 1[\text{V}_{\text{rms}}]$ for $f \leq 2[\text{kHz}]$, $V_i = 0.1[\text{V}_{\text{rms}}]$ for $2 < f < 10[\text{kHz}]$, $V_i = 0.01[\text{V}_{\text{rms}}]$ for $f \geq 10[\text{kHz}]$, $T_a = 21[^\circ\text{C}]$)

特性が悪化する。図21(c)は、実測した C_0 と G_0 の値を式(118)に代入して Q を求めたものである。 $0 \leq G_{1,4} \leq 0.07$ [S] の広い範囲で、 Q は 200以上と大きく、この回路(図20)の特性が良いことが分かる。

【実験2】 f 対 C_0 および G_0 特性測定

$G_{1,4}=0, 1G, 3G$ (但し、 $G=10^{-4}$ [S]) の場合について、周波数 f に対する C_0 と G_0 の値を実測した。なお、式(118)より

$$\left. \begin{array}{l} G_{1,4}=0 \text{ のとき, } C_0 \text{ (理論値)} = 0.06 [\mu F] \\ G_{1,4}=1G \text{ のとき, } C_0 \text{ (理論値)} = 0.12 [\mu F] \\ G_{1,4}=3G \text{ のとき, } C_0 \text{ (理論値)} = 0.24 [\mu F] \end{array} \right\} \quad (120)$$

である。又、式(114)、(118)より、 $G_{1,4}$ の値に関係なく

$$\left. \begin{array}{l} G_0 \text{ (理論値)} = 0 [\text{S}] \\ Q \text{ (理論値)} = \infty \end{array} \right\} \quad (121)$$

である。図22に実験結果を示す。図22(a)より次のことが分かる。 $G_{1,4}=0, 1G, 3G$ のいずれの場合も、 $f \leq 2$ [kHz] のとき C_0 の実測値と理論値はよく一致している。周波数 f を更に上げていくと C_0 の実測値も増大していき、10[kHz]付近で C_0 の実測値は最大となり、更に周波数を上げていくと、図には示していないが、負の容量成分(即ち、正のインダクタンス成分)が現れる。これは、演算増幅器の周波数特性の影響によるものである。図22(b)より次のことが分かる。周波数が低いときは G_0 の実測値も小さく、特性も良いが、周波数が高くなるにつれて G_0 の実測値も増大していき、特性が悪くなる。図22(c)は、実測した C_0 と G_0 を式(118)に代入して Q を求めたものである。 $G_{1,4}=0, 1G, 3G$ の何れの場合も、 $f=100$ [Hz] 付近で Q は最大となっている。

以上の実験1及び2より、図20の回路が可変キャパシタンス・マルチプライアとして良好な特性である周波数範囲は、大体 40~2000[Hz]であると言える。

3. フィルタ応用例のSPICEによる解析

前論文(その1)²⁰⁾の第3章では、図3の接地形FDNCAP回路を図4の3次LPFへ応用した実験結果(図5)を与え、第4章では、図6の接地形FDNR回路を図7の2次HPFへ応用した実験結果(図8,9)を与えた。又、前論文(その2)²⁰⁾の第2章では、図10の接地形FDNC回路を図11の2次LPFと図13の2次BPFへ応用した実験結果(図12と図14)を与え、第3章では、図15のインダクタンス回路を図16の2次HPFへ応用した実験結果(図17)を与えた。何れの実験においても、低周波域において、実測値は理論値(演算増幅器が理想的である、即ち、ナレータ・ノレータ対と等価であると仮定した場合の計算値)とよく一致していた。高周波域においては、演算増幅器の周波数特性の影響により、実測値と理論値はずれていた。

本章では、これらの実験結果が正しいことを確認するため、アナログ電子回路解析プログラム SPICE^{20)~33)}を用いて解析を行い、良い結果が得られたので報告する。なお、今回使用したSPICEは、NEC製パソコンPC-98XL²(CPU:80386, 数値データプロセッサ80387付)用の PSpiceと呼ばれるソフトウェア³³⁾である。紙数の都合上、以下に2つの解析例だけを示す。

3. 1 FDNCAPを用いた3次LPFのSPICEによる解析

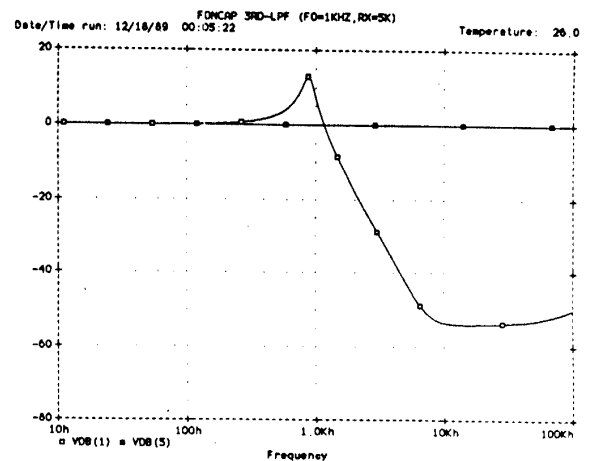
図23に、図5の3次LPFの実験結果(但し、 $R_x = 5[\text{K}\Omega]$ の場合)に対応するSPICE入力データ・リストを示す。節点番号 0~4 は図3と同じである。節点番号100 (101)には演算増幅器の電源電圧 $V_{CC}=15[\text{V}]$ ($V_{EE}=-15[\text{V}]$)を印加する。節点⑤-⑥間に入力電圧 V_{IN} (図4の V_1 のこと。SPICEでは、節点⑤の電圧ということで、 $V(5)$ とも記述する。)として AC 1[V]を印加する。図4の出力電圧 V_2 は、SPICE入力データでは $V(1)$ となっている。図23の22行目で、AC解析(即ち、周波数応答解析)を指示する。25, 26行目で、例えば $VDB(1)$ は $V(1)$ をデシベル単位[dB]で出力することを指示する。この実行結果を図24(a)に示す。図24(b)に、図23の1行目と4行目で、 R_x の値を $20[\text{K}\Omega]$ に変更した場合の実行結果を示す。図24と実験結果(図5)を比較すると、両者はほぼ一致していることが分かる。

3. 2 FDNRを用いた2次HPFのSPICEによる解析

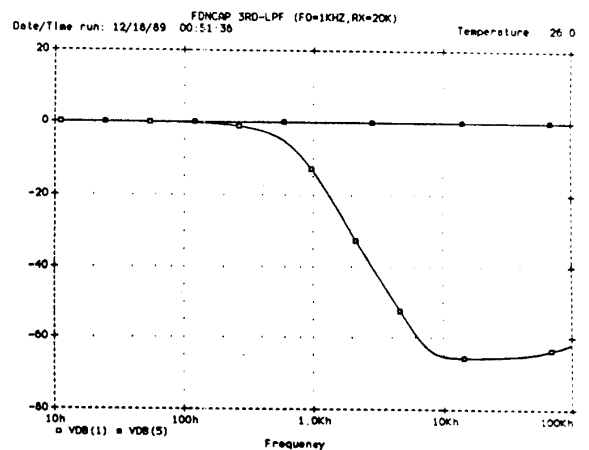
図25に、図8の2次HPFの実験結果(但し、 $f_0=100[\text{Hz}]$, $C_{03}=0[\text{pF}]$ の場合)に対応するSPICE入力データ・リストを示す。図25の15行目は、1桁目に*があるため、注釈行となる。即ち、15行目は、計算

```
A: ¥>EDLIN B:S3ELPF1.CIR
ファイルの終わりをまで読み込みました。
*1,30L
1: *FDNCAP 3RD-LPF (FO=1KHZ,RX=5K)
2: XOPAMP 3 2 100 101 4 UA741
3: *
4: RX 1 5 5K
5: CA 1 0 20.527NF
6: *
7: R13 1 3 10K
8: R14 1 4 5K
9: R24 2 4 5K
10: R34 3 4 10K
11: C02 0 2 22NF
12: C03 0 3 22NF
13: C12 1 2 22NF
14: C14 1 4 33NF
15: *
16: VIN 5 0 AC 1
17: VCC 100 0 15
18: VEE 101 0 -15
19: *
20: .LIB LINEAR.LIB
21: .TEMP 26
22: .AC DEC 50 10HZ 100KHZ
23: .OPTIONS ACCT LIST NODE OPTS
24: .WIDTH=80
25: .PLOT AC VDB(1) VDB(4) VDB(5)
26: .PROBE VDB(1) VDB(4) VDB(5)
27: .END
*E
```

図23. 3次LPFの解析のための
SPICE入力データ・リスト
(行番号を明示するため、MS-DOSの
EDLIN コマンドを使用)



(a) $R_x = 5[\text{K}\Omega]$ の場合



(b) $R_x = 20[\text{K}\Omega]$ の場合

図24. SPICEによる3次LPFの解析結果

には無効である。この実行結果を図26(a)に示す。 $f=6[\text{kHz}]$ 付近のピークが実験結果(図8)と比べて高いが、これは、PSpiceが有するライブラリ(演算増幅器 $\mu\text{A}741$ のデータ)の精度のためと、実際の実験回路における微小な浮遊容量の存在のためである。その他の周波数においては、SPICEによる解析値と実測値(図8)はよく一致している。

図25の15行目の1桁目の*を取り除いて、15行目を有効にした場合の実行結果を、図26(b)に示す。 $f=6[\text{kHz}]$ 付近のピークがかなり無くなっている。但し、実験結果(図8)では、 $C_{03}=303[\text{pF}]$ のときピークが完全に無くなっている。なお、SPICEによる解析では、 $C_{03}=480[\text{pF}]$ のときピークが完全に無くなる。従って、 C_{03} を挿入することにより、ピークを除去できることが、SPICEによる解析からも確認できる。

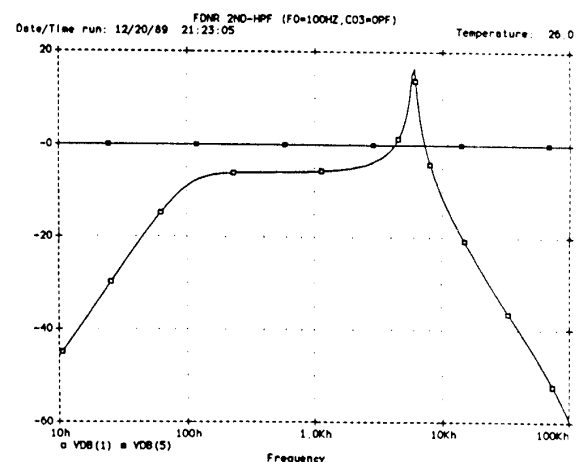
以上の様に、SPICEを用いれば、実際に実験を行わなくても、回路の動作をかなり精度よく予測できる。

4. むすび

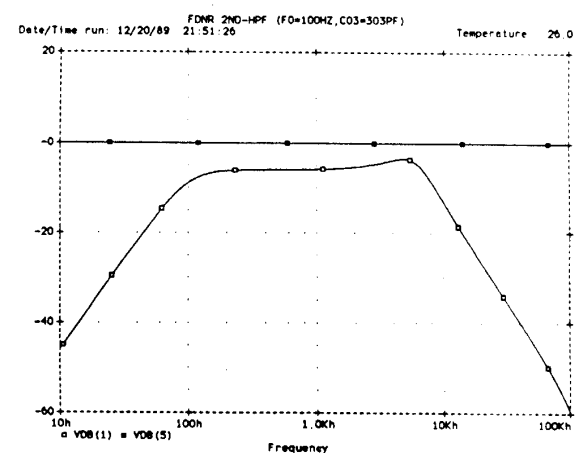
本論文(その3)では、前論文(その1)²⁰⁾、(その2)²⁰⁾の結果をふまえて、第2章において、1次

```
A: * > EDLIN B: S2MHPF1.CIR
ファイルの終わりをまで読み込みました。
*1,30L
1: *FDNR 2ND-HPF (FO=100HZ,C03=0PF)
2: XOPAMP 3 2 100 101 4 UA741
3: *
4: RX 1 5 66.666667K
5: RT 1 0 66.666667K
6: *
7: R02 0 2 25K
8: R03 0 3 16.666667K
9: R12 1 2 50K
10: R14 1 4 50K
11: C13 1 3 45.015815NF
12: C14 1 4 45.015815NF
13: C24 2 4 45.015815NF
14: C34 3 4 45.015815NF
15: *C03 0 3 303PF
16: *
17: VIN 5 0 AC 1
18: VCC 100 0 15
19: VEE 101 0 -15
20: *
21: .LIB LINEAR.LIB
22: .TEMP 26
23: .AC DEC 50 10HZ 100KHZ
24: .OPTIONS ACCT LIST NODE OPTS
25: .WIDTH=80
26: .PLOT AC VDB(1) VDB(4) VDB(5)
27: .PROBE VDB(1) VDB(4) VDB(5)
28: .END
*E
```

図25. 2次HPFの解析のための
SPICE入力データ・リスト
(行番号を明示するため、MS-DOSの
EDLIN コマンドを使用)



(a) $C_{03}=0[\text{pF}]$ の場合



(b) $C_{03}=303[\text{pF}]$ の場合

図26. SPICEによる2次HPFの解析結果

アドミタンス素子 ($Y_{ij} = sC$) であるキャパシタンス・マルチブライアについて考察した。まず、計算機シミュレーションにより導出された接地形抵抗可変キャパシタンス・マルチブライア回路 (図20) を提案した。次に、図20の回路が、1 個の非接地の抵抗 (G_{ij}) により等価容量を可変できることの確認実験を行い、低周波域において良好な実験結果を得たことを述べた。

第3章では、この一連の論文 (その1~3) で与えた幾つかのフィルタへの応用例について、アナログ電子回路解析プログラムSPICEを用いて解析した結果について述べた。SPICEによる解析結果は実験結果とほぼ一致することを示し、SPICEの有用性を確認した。

以上で、この一連の論文は完了する。

なお、最近、野口氏³⁴⁾は、図2の y_{ij} ($i, j \in 0 \sim 4$) を容量 C_{ij} と抵抗 R_{ij} の直列接続 (即ち、 $1/y_{ij} = 1/sC_{ij} + R_{ij}$ [Ω]) とすることにより、式(6)に対応する入力アドミタンス Y_{in} の分子が s に関する1~5次の多項式、分母が0~5次の多項式となることに着目して、より高次のイミタンス素子を実現しようとする方法を発表した。又、文献35)は、演算増幅器の1次位相遅れ特性を考慮することにより、高周波域における高次イミタンス素子の実現を目指したものであり、又、数式処理の手法を用いており、興味深い。

参考文献

文献1)~25)は、文献26)の参考文献の項を参照されたい。

- 26) 加藤, 山本, 藤本: "1 個の演算増幅器を用いた接地形高次イミタンス・シミュレーション (その1)", 福井工業大学研究紀要, 第18号, pp.107-119 (1988-08)
- 27) 沖根光夫: "能動RCフィルタの一等価回路表現", 電子通信学会論文誌(A), Vol.J66-A, No.10, pp.970-977 (1983-10)
- 28) 加藤, 山本: "1 個の演算増幅器を用いた接地形高次イミタンス・シミュレーション (その2)", 福井工業大学研究紀要, 第19号, pp.103-114 (1989-09)
- 29) L. W. Nagel and D. O. Pederson: "SPICE (Simulation Program with Integrated Circuit Emphasis)", Memorandum No.ERL-M382, Electronics Research Laboratory, University of California, Berkeley (April 1973)
- 30) L. W. Nagel: "SPICE2: A Computer Program to Simulate Semiconductor Circuits", Memorandum No.ERL-M520, Electronics Research Laboratory, University of California, Berkeley (May 1975)
- 31) 西原明法: "電子回路解析プログラムSPICEの概要", 電気学会, 電子回路のCADシンポジウム予稿集, pp.1-6 (1982-10)
- 32) 森末道忠 (監修): "VLSI設計・製造シミュレーション", 第5章, シーエムシー発行 (1987-01)
- 33) サイバネットシステム株式会社: "P S p i c e (Ver. 4.02) マニュアル (1989-01)
- 34) 野口誠一, 武石和博: "直列RC素子を用いたインピーダンスシミュレーションの方法", 電子情報通信学会論文誌(A), Vol.J72-A, No.9, pp.1423-1425 (1989-09)
- 35) 石田, 戎谷, 副井, 笠井: "単一演算増幅器による接地型イミタンス・シミュレーション: 有限利得帯域幅積を考慮した場合", 電子通信学会論文誌(A), Vol.J69-A, No.12, pp.1523-1530 (1986-12)