

TTL と PLD を用いた論理回路設計教育

加 藤 芳 信*

Logic Circuit Design Education Using TTLs and PLDs

Yoshinobu Kato

This paper describes an education of logic circuit design at the Fukui University of Technology from 1992. In the first semester of "Computer Applications Exercise" for seniors in the department of electrical engineering, the students design TTL circuits, and build the circuits with bread-boards, and confirm the circuit behaviors by the experiments with inputs of 1/0 by on/off of DIP switches, and outputs of 1/0 by light/non-light of LEDs. In the second semester, they design PLD circuits by using personal computers, and write GALs the connection information with PLD-Writer. And then they make the circuits with universal-boards by soldering parts/wires, or design the PCBs with PCB-CAD software, and manufacture PCBs with milling machine, and complete the circuits. The behaviors of the circuits are confirmed by the experiments with the 0/1 inputs from pattern-generator, and the outputs observed by logic analyzer. The logic circuit design education using TTLs and PLDs can do the CAD-oriented education, and improve the understanding of students.

1. まえがき

論理回路は、コンピュータに代表されるデジタル電子技術の基本となる学問であり、工業である。その教育は、大学、高専、高校の電気系学科（即ち、電気・電子・情報工学科等）で行われている。

論理回路は、①出力が現在の入力の関数として一意に定まる「組合せ論理回路」と、②出力が現在の入力と内部状態（別の見方をすれば、過去の入力）とによって定まる「順序論理回路」に分けられる。更に、回路の動作が①クロックに同期する「同期式」と、②同期しない（又は、クロックがない）「非同期式」に分けられる。

産業界において、論理回路は、従来より、TTL (Transistor Transistor Logic: 1～数十ゲート) 素子を用いて実現されてきた。近年の回路の大規模化・複雑化に伴い、より高集積・フレキシブル・低価格で使い易い素子が要望され、PLD (Programmable Logic Device: 数十～数百ゲート) が開発され、現在、PLDもよく用いられている。PLDは、ユーザが手元でIC (Integrated Circuit: 集積回路) 内部の配線をプログラム（即ち、ある機能を実現するために、接続情報を書込むこと）して初めて使えるようになる素子である。更に大規模なプログラマブル素子として、CPLD (Complex PLD: 数百～数十万ゲート)、FPGA (Field Programmable Gate Array: 数千～数十万ゲート) が開発されている。又、専門メーカーによって機能実現されるASIC (Application Specific IC: 特定用途向けIC) もある。これらの素子を用いた論理回路の設計にCAD (Computer Aided Design: 計算機援用設計) は必須の道具となっている。又、論理回路の最も高度な実現例はマイクロプロセッサであるが、その設計はコンピュータを用いて、ハードウェア記述言語 (VHDLまたはVerilog等) で記述することにより行われている。

このような産業界の状況に対応した論理回路設計教育が大学に望まれている。又、その教育では、学

* 電気工学科

生に実際に回路を設計・製作・実験させることが大切である。

福井工業大学電気工学科では、1993年度より論理回路設計教育に、従来からのTTLに加えてPLDも取り入れ、教育効果が向上している[1-7]。本文ではこれらについて報告し、参考に供したい。

2. 従来の論理回路設計教育

従来より、各大学において、論理回路の教育が電気・電子・情報工学科等で行われている。その教育内容は普通、次の順序で行われる。①2進数・16進数・10進数の関係、補数、整数と小数など、②論理関数の基礎（ブール代数、ベン図、真理値表など）、③カルノー図やQuine-McCluskey法による論理式の簡単化、④論理ゲート（AND, OR, NOT, NAND, NOR, EXOR等の素子）、⑤組合せ論理回路（半加算器、全加算器を含む）、⑥フリップ・フロップ（RS-FF, D-FF, エッジトリガ等）、⑦順序論理回路（状態遷移表、フリップ・フロップ応用）、⑧レジスタとカウンタ、⑨コンピュータのCPU（Central Processing Unit：中央処理装置）の中核をなすALU（Arithmetic Logic Unit：算術論理演算機構）を指向した多ビットの加算・減算・乗算・除算回路、⑩メモリ、⑪ALU、⑫MPU（Micro Processor Unit：マイクロプロセッサ）、⑬A/D・D/A変換器、など。

そして、その教育は講義だけで、実験・実習を含まないのが殆どである。但し、一部の大学では、正規の実験・実習の科目で、TTL素子等を用いて論理回路を設計製作し、動作確認実験まで行っている[9]。京都大学、九州大学等では更に進んで、近年のVLSI（Very Large Scale Integration：超大規模集積回路）時代にふさわしく、ASIC又はFPGA素子等を用いてマイクロプロセッサを設計製作し、教育効果を上げている[10]。又、現在、VDEC（VLSI Design and Education Center、1996年5月に東京大学を拠点校として設立）を利用して、幾つかの大学では卒業研究や大学院研究としてVLSIチップを試作している[11]。なお、筆者もVDECユーザとして登録されている。

3. 福井工業大学における論理回路設計教育

3. 1 1992年度の教育実践

以前より、電気工学科電子・情報処理・医療電子コースの2年次通年科目「電子計算機システムⅠ」（週1コマ、選択4単位）でデジタル回路の基礎が講義されており、これは現在でも同じである。

1992年度より、電気工学科情報処理コース4年次前期・後期科目「計算機応用Ⅰ・Ⅱ含演習」（週2コマ、選択、計6単位）が開講された。これらの科目は、電子回路のCADとCAE（Computer Aided Engineering：計算機援用解析・シミュレーション技術）を指向した講義と実習を行い、産業界の技術発展に対応すべく設置された。

これらの科目を開講するための準備状況は次の様であった。1988年3月に富士通の大型汎用計算機M760/8システムが導入され、その中に電子回路設計CADソフト「ICAD/PCB4（アナログ編/デジタル編）」[8]が含まれており、ICAD/PCB4を利用した卒業研究を1988～1991年度に実施した。1989年3月に富士通のCADシステムが導入（汎用計算機はM760/20にモデルアップ）され、学生実習用のCAD室（6号館1階、5スパン）が新設され、31台のCAD端末F6242Aが設置された[8]。又、1990～1992年度の学内特別研究費「電気系学科におけるCAD教育実践化研究」により、ヒューレット・パッカード社のロジック解析システムHP16500Aなどを購入し、卒業研究で利用していた。

1992年前期「計算機応用Ⅰ含演習」では、配布プリントを併用して、アナログ及びデジタル電子回路CADに関する種々の理論・技法の講義とOPアンプ回路の講義を行い、次に実習として、電子回路解析ソフトPSpiceを用いてトランジスタ回路及びOPアンプ回路の周波数特性シミュレーションを行った。

後期「計算機応用Ⅱ含演習」では、まず、教科書[12]に基づきデジタル回路の講義を行った。（注）[12]のレベルは上級用である。「主要なTTLのピン配置や内部等価回路」も書かれているので、講義に続く実習（TTL回路設計・製作・動作確認実験）に都合がよい。著者は大阪大学医学部教授である。

次に、実習に移り、TTL回路を手作業で設計させ、ブレッドボードで製作し、動作確認実験を行わせた。更に、デジタル電子回路設計CADソフトの実際を体験させるために、富士通大型汎用計算機M76

0用のICAD/PCB4を用いて、簡単なTTL回路の回路図作成とパターン設計を3週行った。尚、実習時には大学院生のTA (Teaching Assistant) が1名ついた。

この年の授業経験により、①アナログは省いてもよい、②デジタルだけを行うべきである、③TTL回路の設計・製作・動作確認実験は学生の理解度の向上、自信獲得に有効である、④ICAD/PCB4によるCAD実習は無理である、⑤マイクロプロセッサ等のVLSIチップの設計・製作につながる様な論理回路設計教育を追加すべきである、と判断した。

⑤について検討した結果、産業界で使われ始めたPLD（その中で特に、GALと呼ばれる物）を、次年度後期から取り入れることにし、必要な実験機器（PLD書込器[16]）、実習用CADソフト[18]及び部品の購入を次年（1993年）度の学内特別研究費「論理回路設計教育へのPLDの適用」で申請した。

3. 2 1993年度の教育実践

前期は、まず、講義形式で、教科書[12]により、TTLを用いたALUの設計法までを教え（第1～7週）、次に、実習形式で、学生にTTLを用いた論理回路を手作業で設計させ、製作・実験を行わせ、レポートを提出させる（第8～11週）。この時の回路製作は、ハンダ付け不要のブレッドボードにTTLやリード線を差し込むことで行い、動作確認実験は、DIP (Dual Inline Package) スイッチのon,offによる1,0を入力し、出力側LED（発光ダイオード）の発光、非発光により行う。なお、課題として、①4ビット全加算器、②4ビットコンパレータ、③デマルチプレクサ、④ジョンソンカウンタ、⑤減算回路、⑥ALU、⑦4bit×4bit乗算回路、等を与える。実習は時間外（個人によって0～20時間）も行った。

TTLレポートの記載項目は、1.目的、2.概要（どのような回路を設計製作するのかを5行程度にまとめる）、3.回路設計（原理、真理値表、論理式、回路図、説明）、4.回路製作（配線図、部品表、製作風景・基板の写真）、5.動作確認実験（使用機器、実験結果としての真理値表、実験風景の写真）、6.考察（感想含む）、7.参考文献、である。

受講者は情報処理コース在籍50名の内の20名であり、単位合格者は17名であった。受講者数が少ないのは、4年生の多くが既に卒業単位数を満足している為である。別の見方をすれば、やる気のある学生が受講しているということである。 [図1、写真1～3参照]

後期は、まず、教科書[13]により、PLDとは何か、PLD論理回路の設計法、等を教える（第1～5週）。

（注）[13]に書かれている内容は「PLD書込器PEG-3を用いたPLD論理回路の設計と製法」であり、大学の論理回路設計教育に適した内容である。著者は東京都立工業技術センターの主任研究員である。

次に、実習形式で、PLDを用いた論理回路を設計・製作・動作確認実験させ、レポートを提出させる（第6～14週）。PLD素子としては、Lattice社のGAL (Generic Array Logic) 16V8A-25LP, 22V10-25LP等[14]を用いる。GALは、通常のPLDと異なり、何回でも電氣的に消去・書込み出来る。従って、何らかの設計ミスで回路が正しく動作しない時でも、もう一度設計をやり直して再書込みすれば良いので、教育に用いるのにGALは都合が良い。（第4章参照）

（注）参考のために、10月に購入したGALの個数と金額を右に示す。現在でもこの時に購入した物を繰り返し使っている。

GAL16V8A-25LP	200個	30,000円
GAL20V8A-15LP	100個	39,000円
GAL20V8A-25QP	63個	20,900円
GAL22V10-25LP	78個	74,100円
合計（消費税3%,送料含む）		169,720円

設計には、パソコンPC-9801シリーズ上で動作する(株)エデュースのPLD回路設計用CADソフトPEGAS M[15]を用いる。アセンブラ・レベルの言語で、チップ宣言、ピン定義、論理式、検証のための真理値表等を記述する [図3参照]。出力はJEDECファイルで、これを(株)エデュースのPLD書込器 (PLDライター) PEG-4[16]で、GALに書込む。（第4章参照）

回路製作は、2.54mm間隔の穴の開いたユニバーサル基板にハンダ付けすることにより行う。但し、PLDは静電気により書込み内容が変わることがあるので、DIPソケットを用いる。動作確認実験は、パターン・ジェネレータ（アスコム(株)のタイム98）[17]により0,1を回路に入力し、ロジックアナライザHP16500Aでタイミング解析等する。

課題は前期と同じである。これにより、TTLとPLDの違いや、手作業とCADによる設計法の違い等を体得させる。なお、実習は時間外（個人によって0～20時間）も行った。 [写真4～9参照]

PLDレポートの記載項目は、TTLレポートの記載項目1.～7.に次のものが追加される。3.回路設計にPEGASMプログラム・リスト、5.動作確認実験にタイム98の画面コピーとロジックアナライザの画面コピー、6.考察にTTL回路との比較検討、である。

後期のPLD回路の実習も上手くいったので、次年度はCAM (Computer Aided Manufacturing : 計算機援用製造) も取り入れようと計画し、1994～1995年度学内特別研究費「PLDおよびFPGAを用いた論理回路設計教育」によりプリント基板加工機などを申請した。

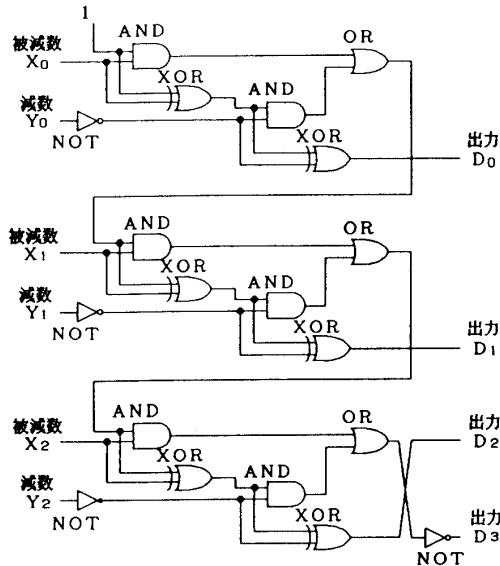


図1 論理回路図の例：非同期式減算回路（2の補数表示）：入力側は被減数，減数とも3bit，出力側は4bit（D3は符号桁）。

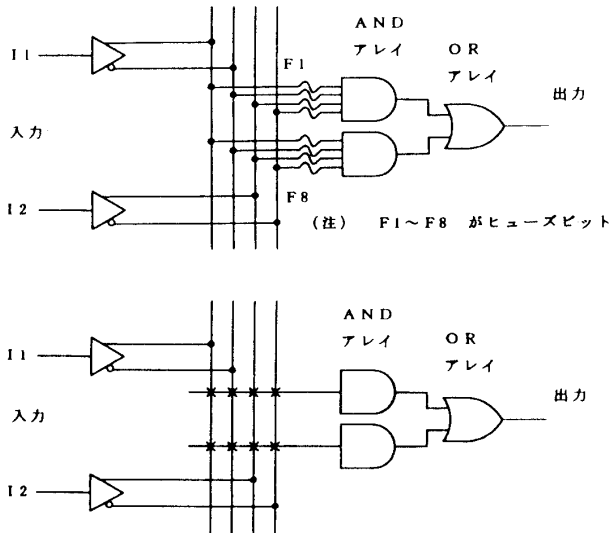


図2 PALの（上）内部等価回路と（下）論理記号表現：×印はつながっていることを表す。

3. 3 1994～1995年度の教育実践

カリキュラムが若干変わり、1994～1995年度は4年次通年科目「計算機応用演習」（週2コマ，選択4単位）となった。コマ数は変わらないので，教育内容は前年度と同じである。但し，後期のPLD回路製作において，第5章で述べる方法で，希望者（各年5人位）にはプリント基板をPCB-CADで設計し，プリント基板加工機で製作してもよいとした。この場合，TAの補助があるが，PCB-CADソフトのマ

TITLE 3BIT SUBTRACTOR

PATTERN SUBTRA.PLD

REVISION V.1

AUTHOR Y.KATO

COMPANY FUT

DATE 94-8-27

CHIP zzz GAL22V10

1 A X0 X1 X2 Y0 Y1 Y2 9 10 11 GND

NC D0 D1 D2 D3 18 19 20 Z1 Z2 23 VCC

STRING

ZA 'X0*/Y0+X0+/Y0'

ZB 'X1*/(Y1+Z1)+/Y1*Z1'

EQUATIONS

Z1 = ZA

Z2 = ZB

D0=X0+:Y0

D1=(Z1+:X1):+/Y1

D2=(Z2+:X2):+/Y2

D3=/(X2*/(Y2+Z2)+/Y2*Z2)

FUNCTION TABLE

A X2 X1 X0 Y2 Y1 Y0 D3 D2 D1 D0 Z1 Z2

H	L	L	L	L	L	L	L	L	L	L	H	H
H	L	L	L	L	L	H	H	H	H	H	L	L
H	L	L	L	L	H	L	H	H	H	L	H	L
H	L	L	L	L	H	H	H	H	L	H	L	L
H	L	L	L	H	L	L	H	H	L	L	H	H
H	L	L	L	H	L	H	H	L	H	H	L	L
H	L	L	L	H	H	L	H	L	H	L	H	L
H	L	L	L	H	H	H	H	L	L	H	L	L

図3 PEGASMプログラムの例：図1の回路のPLD用（*はAND，+はOR，/はNOT，+:はEX-ORを表す）

スター、プリント基板加工機のCAMソフトのマスター、プリント基板加工機による削り出し等で、余分に時間（100時間以上）がかかる。

3. 4 1996年度～現在の教育実践

1996年度よりカリキュラムが再度変わり（ゆとりある教育を行うために、1993年度入学生より全学的に科目数を減らし、卒業単位数を減らした）、4年次通年科目「計算機応用演習」（週1コマ、選択4単位）となった。即ち、論理回路設計教育のための授業時間数が半分になった。このため、1996年度からの講義内容は1995年度と同じであるが、実習内容は縮小せざるを得なくなり、後期のPLD回路製作は、2.54mm間隔の穴の開いたユニバーサル基板にハンダ付けする方法だけ行う（プリント基板加工機による製作はこの授業では行わない。卒業研究では行う。）ことにした。又、PLD回路の動作確認実験も、ロジックアナライザを使っても使わなくてもよいことにした。

3. 5 検討

1994～1995年度の教育実践が、授業時間数の関係で最も良かった（教育効果が高かった）。又、一部の学生（各年5人位）にはあるが、CAD/CAMも体験させることができた。1996年度以降の論理回路設計の教育内容は授業時間の減少により、1994～1995年度より若干後退したが、1992年度以前から見ると格段に良くなっている。

4. PLDとその開発手順

4. 1 PLD, PAL, GALの説明

PLDは、ユーザが使いたい機能をプログラムできるデバイスの総称である。PLDの最初の製品は、1978年発売のMMI社（現在のAMD社）のPAL（Programmable Array Logic）である。PALはバイポーラ構造で、図2に示す様に、ANDアレイのヒューズ・ビットのどれを溶断するかをプログラムできる。このことにより任意のNOT-AND-ORの積和形の論理式が実現できる。即ち、組合せ論理回路は全て実現できる。更に、D-FF（Dフリップ・フロップ）を内蔵したPALもあり、ORからD-FFに接続し、入力側へフィードバック等することにより、任意の順序論理回路も実現できる。従って、PALを使えば、論理回路は（組合せ論理回路でも順序論理回路でも）全て実現できる。

PALはヒューズ溶断型であるので、ただ1回の書込みしかできない。この弱点を克服したPLDがLattice社のGALである。GALはCMOS構造で、フローティング・ゲートの電荷の蓄積によって内部配線をプログラムするので、高電圧（DC25V位）の印加で消去でき、1000回程度までの再書込みが可能である。尚、PLDの動作電圧は、TTLと同じDC5Vである。

4. 2 PLD開発手順

- (1) 回路図や真理値表から論理式を作成する。
- (2) PLDのデバイス名や論理式を記述したデザイン・テキスト（例えば、図3）を記述する。この作業にはMIFES等のエディタを用いる。（最近のWindows98パソコンであれば、メモ帳を用いればよい。）
- (3) (2)で作ったデザイン・テキスト・ファイルをPEGASM処理させ、JEDECフォーマット・ファイルを出力させる。処理する段階で中間ファイルを出力し、論理展開、圧縮、アセンブル、シミュレーションを行う。
- (4) デザイン・テキスト・ファイルにエラーを含む場合にはエラーが表示されるので、エディタを用いてデザイン・テキストを修正し、再度PEGASMに処理させる。
- (5) 最後に、JEDECファイルをもとにPLDに書込む。

5. PCB-CADとプリント基板加工機を用いたPLDデジタル回路の設計製作法

本章では、プリント基板（Printed Circuit Board）設計用CADソフトであるTango-PCB[18]、CAD/CAM設計ツールソフトISOLATOR[19]、及び、プリント基板加工機Circuit Boy[20,21]を用いて、プリント基板を設計・製作する方法を紹介する。例として、4bit×4bit乗算回路（組合せ回路方式）[12]を、PLDを用いて、設計・製作する。出力は16進数2桁、7セグメントLED表示とする[4,5]。

5. 1 PCB-CADソフト (Tango-PCB)

を用いたプリント基板設計

Tango-PCBは、プリント基板のアートワークを設計及び生成するためのCADソフトである。このTango-PCBを用いて部品配置及び配線図を作図し、ボードを業界標準のガーバー (Gerber) フォーマットファイルに変換する。図4に、Tango-PCBを用いて設計した部品配置・配線図を示す。

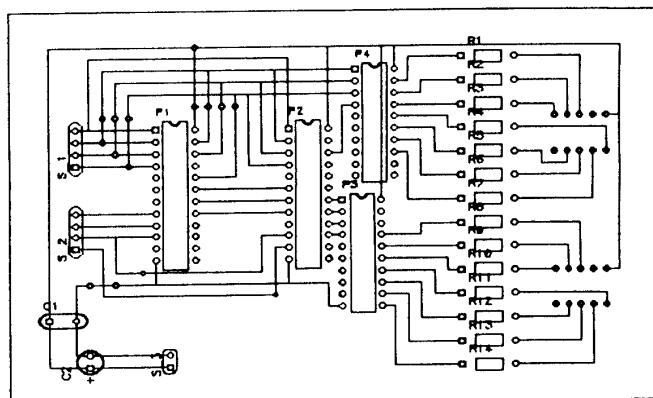


図4 4bit×4bit乗算回路の部品配置・配線図

5. 2 CAD/CAM設計ツールソフト (ISOLATOR)

ISOLATORを用いて、Tango-PCBで作成したガーバーフォーマットファイルを読み出し、プリント基板の穴開け、表面、裏面、外形に分けてデータを作成する。ここでは、NCドリルデータの作成、未結線確認など、実際に加工する上で問題がないかを確認する。更に基板の裏面にも加工させるため、配線図を反転させる。尚、ISOLATORという名称は、銅箔を削ってパターンを分離・絶縁する事に由来する。

5. 3 プリント基板加工機 (Circuit Boy)

プリント基板加工ソフト (CAM) を作動し、パターン切削、広範囲切削、穴開け加工、外形加工に分かれたファイルを読み出し、プリント基板加工機 (Circuit Boy) を用いて、各データ毎の加工ツール (エンドミル、ドリル等) に交換しながら、プリント基板を加工する [写真10, 11参照]。その後、プリント基板に部品を手作業で実装し、ハンダ付けして、回路を完成する [写真12参照]。

5. 4 検討

学生がPCB-CADを習得するのに約3週間要した。PCB-CADに習熟してしまえば、本回路例の場合、パターン設計は1時間程度で済むと思われる。ISOLATORは30分程で済む。プリント基板加工機によるプリント基板製作は、従来のエッチング法に比べて、極めて短時間でできる。本回路例の場合、20分程度で銅箔 (両面) を削り終わる。穴開けも2分程度で済む。また、ジャンパ線を使用しなくて済むため、断線、接触不良の恐れが少なくなり、かつ、回路が見やすく、縮小化できる。又、エッチング法のように化学処理を必要としないので、公害の問題もない。以上の様に、パソコンを援用したプリント基板の設計と加工は、電気系学科におけるCAD/CAM教育に適している。

6. むすび

PLDは論理回路設計教育に有効である。又、論理回路の教育には、学生に実際に回路を設計・製作・実験させることが大切である。TTLにPLDを加えたことにより、CADを指向した論理回路設計教育ができ、学生の理解度も向上している。尚、第3.5節で述べた様に、教育実践としては1994～1995年度の内容が時間的にも最良である。第5章では、電気系学科におけるCAD/CAM教育として適当と思われるPCB-CADとプリント基板加工機を用いたプリント基板の設計製作法を紹介した。

参考文献

- [1]加藤, 平野: “論理回路設計教育へのPLDの適用”, 平成6年度電気関係学会北陸支部連合大会講演論文集, B-87 (1994-10)
- [2]中口, 川畑, 加藤: “TTLとPLDによる論理回路の設計製作”, 電気関係学会北陸支部学生会主催平成6年度学生による研究発表会講演論文集, 1-7 (1995-03)
- [3]中口, 大島, 加藤: “PLDを用いた4ビット可逆ローテータの設計製作”, 電気関係学会北陸支部学生会主催平成7年度学生による研究発表会講演論文集, 3-14 (1996-03)
- [4]中口, 田中, 加藤: “PCB-CADとプリント基板加工機を用いたPLDディジタル回路の設計製作”, 電気関係学会

北陸支部学生会主催平成7年度学生による研究発表会講演論文集, 3-15 (1996-03)

[5]加藤, 中口: “TTLとPLDを用いた組合せ方式4ビット×4ビット乗算回路”, 平成8年度電気関係学会北陸支部連合大会講演論文集, E-6 (1996-10)

[6]高間, 浅田, 加藤: “TTL及びPLDを用いた論理回路の設計製作に関する比較検討”, 電気関係学会北陸支部学生会主催平成8年度学生による研究発表会講演論文集, C-1 (1997-03)

[7]加藤芳信: “TTLとPLDを用いた論理回路設計教育”, 教育システム情報学会第24回全国大会講演論文集, A4-6, pp.147-150 (1999-08)

[8]加藤, 平野: “福井工業大学におけるCADシステムとCAD教育”, 福井工業大学研究紀要, 第22号, 第一部, pp.47-54 (1992-03)

[9](社)情報処理学会: 大学等における情報処理教育のための調査研究報告書, 第6章 (1991-03)

[10]神原, 安浦: “計算機教育用マイクロコンピュータの開発とその応用 -集積回路技術を利用した情報工学実験-”, 情報処理, Vol.33, No.2, pp.118-127 (1992-02)

[11]東京大学: 大規模集積システム設計教育研究センター (VDEC) 年報, 平成8年度(1997-10), 平成9年度(1998-09), 平成10年度(1999-07)

[12]田村進一: デジタル回路, 昭晃堂 (1989-04)

[13]大森学: デジタルIC回路の実用設計法 - from TTL to PLD, 海文堂 (1991-11)

[14]Lattice社: GAL Data Book (1992)

[15](株)エデュース: PLD開発用言語 PEGASMユーザーズ・ガイド(第1.1版) (1992-05)

[16](株)エデュース: PEG-4 PLD/PROMプログラマー・ユーザーズ・マニュアル(第2版)

[17]アスコム(株): パソコン・タイミングジェネレータ タイム98取扱マニュアル (1989)

[18](株)ソーテック: Tango-PCB Reference Manual (1991-11)

[19]岩下エンジニアリング(株): Isolator for Windows & Isolator 386 for DOS, PCB Prototype Software System User's Guide (1995)

[20]岩下エンジニアリング(株): Circuit Boy User's Manual Model 7000 (Revision 4.02) (1995)

[21]岩下エンジニアリング(株): Tutorial サーキットボーイによる両面基板の作り方 (1995)



写真1 6号館1階CAD室でTTL回路を設計(手前), 製作(後方)している様子

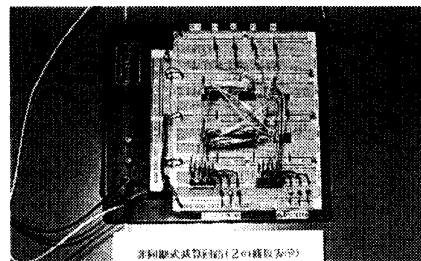


写真2 ブレッドボード(外形26cm*24cm)を用いて製作したTTL回路の例: 図1に入力側DIPスイッチと出力側LEDを付加した非同期式減算回路(TTL6個使用)

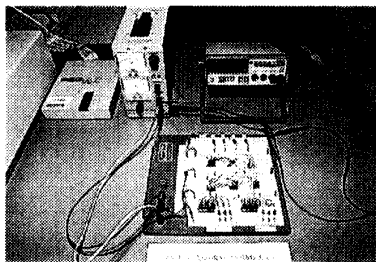


写真3 TTL回路の動作確認実験: 後方は直流安定化電源(DC5V供給用)とデジタルマルチメータ(電圧確認用)

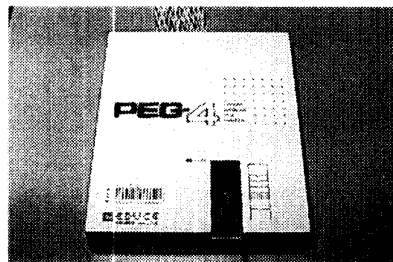


写真4 PLD書込器PEG-4(横17cm,縦22cm,高3.5cmの大きさ)でGALに接続情報を書込む



写真5 6号館6階CAE室でPLD回路を製作（ハンダ付け）している様子。手前はパーツ入れ。

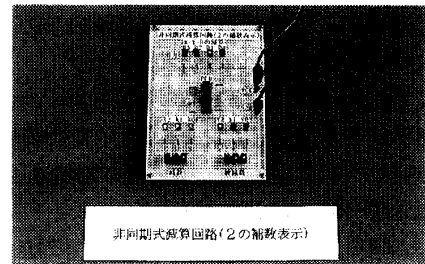


写真6 2.54mm間隔穴あき基板（外形11.5cm*16cm）を用いて製作したPLD回路の例：写真2と同機能の回路（GAL1個使用）

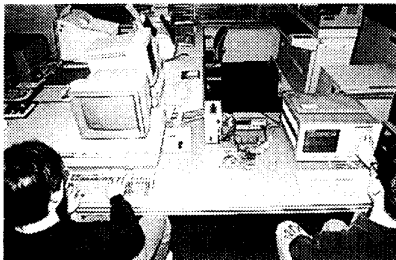


写真7 PLD回路の動作確認実験：左より、パソコンPC-98XL²（タイム98）、写真6のPLD回路、ロジックアナライザHP16500A。尚、PC-98XL²の後ろ側のスロット上段にPEG-4の制御基板、下段にタイム98の制御基板が挿入されている。

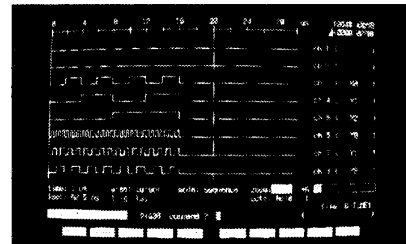


写真8 タイム98の画面（パターン表示）

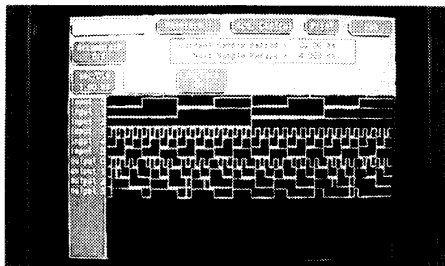


写真9 ロジックアナライザHP16500Aの画面（タイミング解析表示）：この減算回路は非同期式なので時間軸を拡大するとグリッチが見える。同期式の場合はグリッチはない。

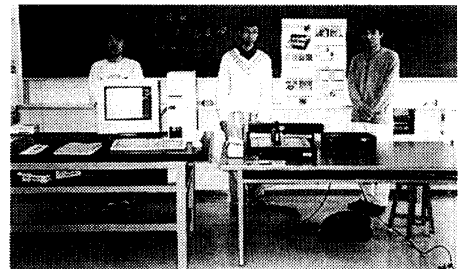


写真10 プリント基板加工機の全体風景：左より、制御用DOS/Vパソコン、加工機本体、駆動電源。下側は銅箔等の切削くずを吸い込むための電気掃除機。

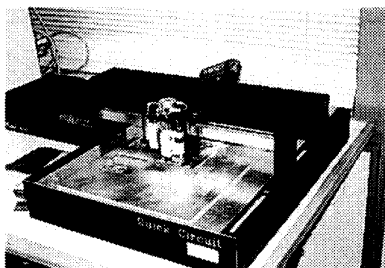


写真11 プリント基板を加工（切削）している様子

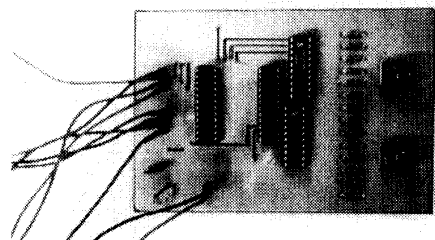


写真12 4bit×4bit乗算回路の完成回路（外形12.3cm*8.3cm）：左より入力端子、乗算回路部のGAL22V10-25LP 2個、LED駆動部のGAL16V8A-25LP 2個、7セグメントLED 2個。

（平成11年12月6日受理）