

サイリスタ位相制御における現象とその特性改善

青 木 泰 師

Poor phenomena and the improvement at thyristor phase-controlled circuit

Yasusi AOKI

Initial condition voltage E_0 on phase-condenser due to caused snap-on hysteresis phenomenon at thyristor phase-control.

At the each end of cycle, we can make the initial condition a constant value to discharge the phase-condenser discharge by transistor.

In this paper, initial condition voltage E_0 becomes the value is less than 0.1 volt. So, snap-on phenomenon has been improved very much by used discharge-transistor at each cycle.

1 緒 言

例えば、単相インダクションモータの駆動トルクは、鉄心に磁気飽和現象が生じない範囲では、印加電圧の二乗に比例する。

インダクションモータの駆動トルクを変えるには、印加電圧を変えればよい。これをサイリスタで行うには、位相制御によって、等価的に印加電圧変化を与えることで可能である。

又、回転速度は、負荷トルクと駆動トルクを変えれば平衡点が破れ、新たな平衡点、すなわち、対応した回転速度となる。

一般に、負荷トルクは一定不変のものではなく、条件によって浮動するのが普通である。

この事から、平衡点は常に変動するので、回転速度は一定とならず浮動する。したがって、定速運転の要求が高い場合には、回転速度を自動制御によって安定化しなければならない。

今、負荷トルクが定速運転中に何かの条件で変動した場合、定速運転における基準電圧（設定電圧）と速度検出電圧との間に誤差信号電圧を生ずる。この信号電圧の極性と大きさに応じて、位相制御電圧に変化を与えて、移相角を変える。したがって、負荷の印加電圧は、 π -移相角の導通角から決まるので、その駆動トルクに平衡する回転速度になって平衡運転に入る。

すなわち、サイリスタの位相制御特性を誤差検出信号によって変えればよいことになる。

このように、一例ではあるが、自動制御端子を設けたサイリスタ位相制御回路を閉ループ制御系として使用するとよいことになる。閉ループ制御系の中心の重要な部分は、サイリスタを制御導通

させる為の位相制御回路である。この回路に要求される必要条件是次の通りである。

- i) サイリスタを完全導通するに必要な、ゲートトリガ電圧、電流およびトリガパルス幅をもっている。
- ii) 電源周期と確実な同期がとれている。
- iii) 全周期 ($0 \sim 2\pi$ 電気角) にわたり安定な制御ができる。

これら条件の内、iii) は、サイリスタ位相制御回路の移相回路の性能に依存し、閉ループ制御系の良否を決定すると言える。

2 サイリスタのゲート特性

サイリスタの種類は、多種多様に亘っており、Reverse blocking type には、Silicon controlled rectifier, Light activated silicon controlled rectifier, Silicon unilateral switch, Silicon controlled switch および Gate turn off switch etc. があり、他には、Silicon bilateral switch, Silicon symmetrical switch および Bidirectional triode thyristor etc. が主なものである。

この論文では、回路構成の簡単化に適している後者を交流両波制御と使う場合について述べている。

Silicon symmetrical switch のトリガパルスは

$$\frac{dv}{dt} = 0.8 E_p / (t_2 - t_1)$$

但し E_p : 点弧パルス電圧 (トリガ電圧の最大値)

t_1 : $0.1 E_p$ の時刻

t_2 : $0.9 E_p$ の時刻

ここで $(t_2 - t_1)$ を t_r (risetime) とおけば

$$\frac{dv}{dt} = 0.8 E_p / t_r \quad (1)$$

となる。したがってサイリスタのトリガ電圧 E_s の低い素子程、又 t_r の大きい素子程トリガ効率は良好と言える。しかし、回路インピーダンスの低い部分へ、トリガパルスを入力しなければならず、それだけ、トリガ供給電力を大きくする必要がある。

Bidirectional triode thyristor では、トリガ入力端子 G (Gate) を設け、素子中で増幅正帰還されるので、極めてパルス幅の狭いものでも完全導通が可能ばかりか、直流トリガさえ行い得る。スイッチング時間を短かくし、スイッチ時におけるサイリスタの瞬時電力損失を軽減¹⁾ する為には、位相制御では、パルストリガが適している。

位相制御の基本回路は Fig. 1 に示すようであるが、サイリスタのゲート入力特性は非直線特性をもっており、アノード電流が流れることによって負抵抗特性を示す。

ゲート電流 i_g を入力した場合に、アノード電流 i_A は

$$i_A = \frac{\alpha_2 i_g + I_s}{1 - (\alpha_1 + \alpha_2)} \quad (2)$$

$$= i_k - i_g \quad (3)$$

但し α_1, α_2 ; npn 接合を等

価トランジスタ

に置換した場合の夫々のトランジスタのベース接地における電流増幅率

I_s ; 逆飽和電流 (漏洩)

i_k ; カソード電流

で $\varepsilon_q(2)$, $\varepsilon_q(3)$ から i_g は

$$i_g = \frac{i_k \{ 1 - (\alpha_1 + \alpha_2) \} - I_s}{1 - \alpha_1} \quad (4)$$

と導けるが、アノード電流 i_A が流れた時のゲート電流 i_{ga} は次のようになる。

$$i_{ga} = (E_g - e_g) / r_{ga}$$

これより、ゲート入力抵抗 r_{ga} は

$$r_{ga} = (E_g - e_g) / i_{ga} \quad (5)$$

但し, E_g ; ゲート供給電圧

e_g ; ゲートにおける逆起電圧 ($\div r_g \cdot i_A$)

r_g ; ゲート入力抵抗

となる。

$$i_A = 0$$

の場合のゲート電流 i_{g0} は

$$i_{g0} = I_s \cdot [\exp(qE/kT) - 1] \quad (6)$$

の関係から

$$r_g = E_g / I_s \cdot [\exp(qE/kT) - 1] \quad (7)$$

である。

$$i_A > 0$$

の場合のゲート入力抵抗 r_{ga} は $\varepsilon_q(4)$, $\varepsilon_q(5)$ において

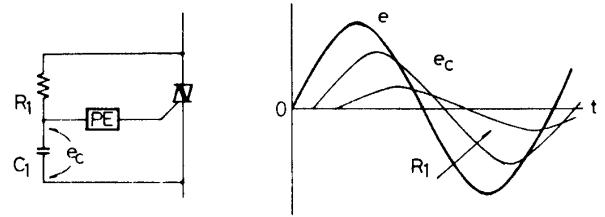


Fig. 1 Basic circuit and voltage form of condenser C_1

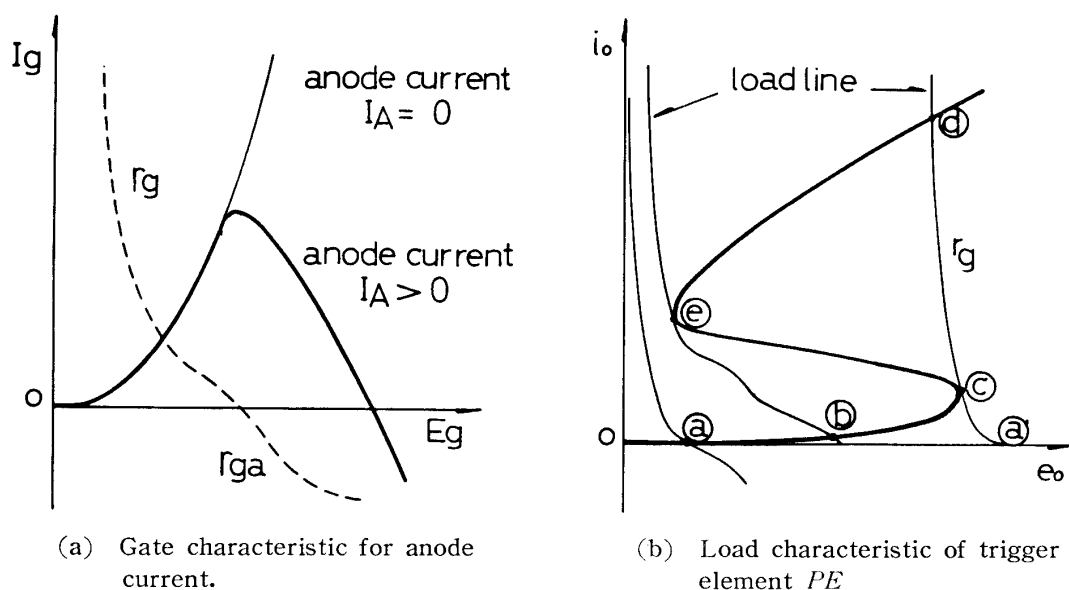


Fig. 2 Gate characteristic and gate input current.

$$i_k = i_A$$

とにおいて解くと,

$$r_{ga} = E_g(1 - \alpha_1) / [i_A \{ 2(1 - \alpha_1) - \alpha_2 \} - I_s] \quad (8)$$

であり, この関係を Fig. 2 (a) の点線で表わした。

3 位相制御回路

イ) 制御特性

交流電源波（正弦波）の位相制御では, トリガ角を制御（導通角を制御）して, 負荷に供給する電圧, 電流（又は電力）を変化させているが, 位相制御におけるトリガ角と実効出力電圧の関係は Fig. 3 のようになる。すなわち, トリガ角（位相角）0 [rad] では実効出力電圧は供給電源の最大値の $1/\sqrt{2}$, $\pi/2$ [rad] では $1/2$ および π [rad] では 0 を通る曲線であるが, この場合は, 全波制御のものである。一方, 抵抗負荷における出力電力は, $0 \sim \pi/6$ および $5\pi/6 \sim \pi$ の位相変化に対して, それぞれ 0.03 しか制御されない。したがって, 回路の制御電圧損失等を考慮すると, 制御可能範囲は, 0.03~0.97 と考えられる。

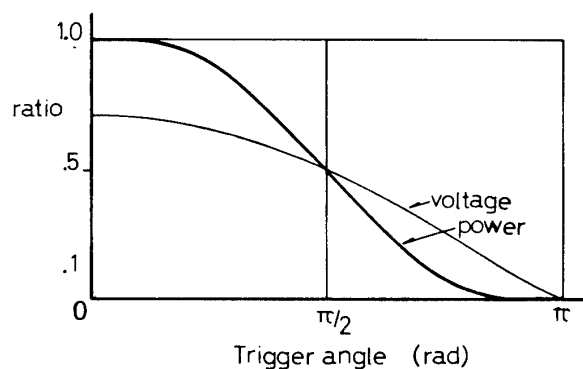


Fig. 3 Out put characteristics at Trigger angle

ロ) 移相回路

位相制御に科せられた必要条件は1の通りであるが、それらの必要条件を満たす為に種々発表されている。²⁾ それらの多くは、基本的な RC 移相回路であるが、コンデンサ C は R を通して電流供給するので、移相を大きく採りたい場合、この回路の出力インピーダンスは大きくなるばかりか、特性の緩慢さからくるトリガ信号の鈍りがでてくる。

どの移相に対しても同一傾斜にするには、鋸歯状波および三角波が最適である。しかし、一定傾斜にしたランプでは、ある特定の位相角しか得られないので、ランプによって π 経過した時の高さを、トリガ素子のスイッチング電圧にし、ランプ波を平行移動（電圧方向）することにより、スイッチング電圧に達する時刻は π から0に進んでくる。しかるに、ペデスタル電圧は0からスイッチング電圧 E_0 を可変できればよいことになる。

ペデスタル電圧は直流で可能ゆえに、制御入力信号をこれに対応させればよい。すなわち、誤差検出信号でペデスタル電位を可変することによって、 $0 \sim \pi$ の範囲の移相は出来る。

ハ) 位相制御回路

基本移相回路で、移相コンデンサの端子電圧 e_c は、

$$e_c = \frac{2 \cdot e_t}{\omega R_1 C_1} + E_0 \quad (9)$$

但し、 e_t ; 供給電源波の尖頭値

R_1, C_1 ; 移相回路のコンデンサおよび抵抗

E_0 ; 初期電圧（残留電圧）

と表わせる。ここで、 E_0 は、主として、次に接続されるトリガパルス発生素子の保持電圧 E_H と、負荷電流（アノード電流）によるゲート逆起電圧（ $\approx r_g i_A$ ）の和が、これに相当する。したがって、初期電圧 E_0 は、負荷電流に依存する部分がある。各半波に対して生ずるので、次の逆半波に対しては負の E_0 と働く場合も、回路構成によって有り得る。

正弦波交流を $R_1 C_1$ 移相回路に供給した時に移相コンデンサ端子電圧は、次に接続されているトリガ素子 PE を通してサイリスタのゲートへ供給しトリガさせる役目をもっている。

ゲート入力特性は、 $\varepsilon_q(7)$, $\varepsilon_q(8)$ より Fig. 2 (a)の点線で示され、負荷にトリガ素子のみが接続されているものとすれば、Fig. 2 (b)に表わすようになる。ただし、実線は、トリガ素子の電圧電流特性である。

最初、初期電圧 E_0 をもった電圧軸との交点を負荷線は通っており、 R_1 を通して C_1 を充電してゆくと、点(a)から出発し点(b)を通り点(c)に達する。ここで点(c)から点(d)に瞬間的にジャンプし、電流を供給するので、コンデンサ端子電圧は急激に下降する。したがって負荷線との交点は点(e)から点(b)に一旦到達の上自己振動の上点(a)に落着く。このループに必要な時間（トリガパルス幅にほぼ等しい）は、 $0.1 \sim 10 [\mu s]$ 程度で、トリガ素子の種類により変る。この移相回路の出力インピーダンスは $R_1 / (1 + j\omega C_1)$ で、 i_g なる電流が流れ Δe_g の電圧降下を生ずる。

$$\Delta e_g = \frac{R_1}{1 + j\omega C_1} \cdot i_g \quad (10)$$

位相差 (R_1) が大きい程, Δe_g は大きくトリガ電流の影響を受けることになる。

今, 移相抵抗 R_1 を大きい値から減じ, トリガ素子 PE のスイッチング電圧 E_s に達する時間を $\pi/2$ [rad] すると, PE をを通してその保持電圧 E_H に降下する。しかし, 次の半周期の初期

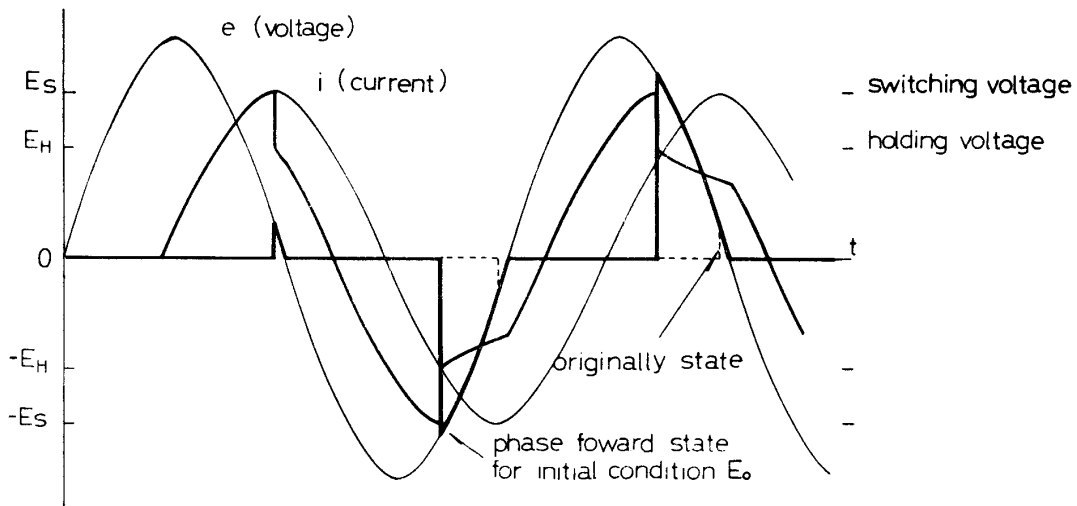


Fig. 4 Wave form at snap-on phenomena

電圧 $E_0 = E_H$ となる。もし, 次の半周期の供給電圧が以前の半周期と同一ならば, 当然トリガ点は早くなる。一方, 早くなった分だけの時間, 重ねて R_1 を通して指数関数的に充電することになる。条件の悪い場合, 残留電圧は, トリガ素子のスイッチング電圧となる。すなわち

$$E_s \{1 - \exp(-t/C_1 R_1)\} \quad (11)$$

または

$$E_H \{1 - \exp(-t/C_1 R_1)\} \quad (11)'$$

但し, $t = \pi - \text{トリガ角}$

となる。

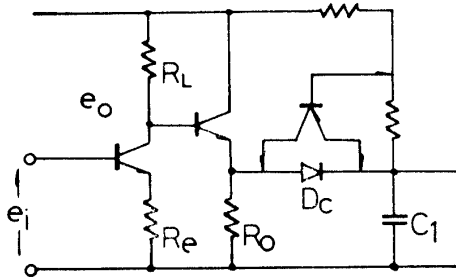
もし, 供給電圧が, トリガと同時に 0 になるならば, トリガから π の間に主として移相抵抗 R_1 を通じて放電することになる。したがって, π における C_1 の端子電圧はトリガ角によって変り, トリガ角が小さければ小さく, 大きければ E_H にほぼ等しい値をもつ。

この様に, E_0 の値は次の半周期の初期電圧の違いとなり, トリガ角の浮動の原因である。この軽減策として, 第二移相回路法, ダイオードによるリセットあるいは, 素子それ自身のゲート電流により移相コンデンサの電荷を放電させようとするものもあるが, いずれも一長一短あり, 著者等は π 時点での電圧を 能動素子を用いて 0.1~0.2[V] と低い一定電圧にリセットすることができた³⁾。

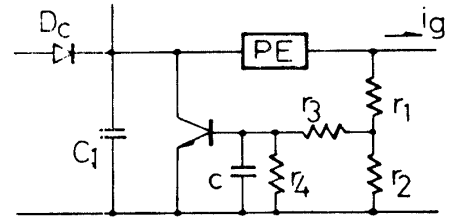
これに依れば, 自動制御入力端に直流信号をも入力可能とするために, ランプ・ペDESTAL法を

用い、その入力増幅器に電圧増幅度 $20[\text{dB}]$ のものを用いると $0 \sim 0.1E_s + \alpha$ の範囲で $0 \sim \pi$ の全制御領域をカバーすることができる。例えば $E_s = 10[\text{V}]$ の PE を使用すると制御入力電圧は、 $0 \sim 1.06[\text{V}]$ あれば、増幅回路は $20[\text{dB}]$ で良い。

Fig. 5 (a)はペデスタル回路を2個のトランジスタで構成したもので、この回路の電圧増幅度は



(a) Ramp and pedestal control of thyristor phase controlled circuit.



(b) Improvement circuit for the initial condition value E_0 .

Fig. 5

$$A_v = \frac{e_o}{e_i} = \frac{h_{fe}(h_{ie} + Z_g)R_L}{h_{ie}h_{oe} - h_{fe}h_{re} + h_{oe}Z_g + R_L} / \{h_{ie} + (1 + h_{fe})R_e\} \quad (12)$$

但し Z_0 : 入力信号源インピーダンス

ここで

$$h_{ie} \gg Z_g$$

$$h_{fe} \gg 1$$

$$h_{fe}R_e \gg h_{ie} \quad \text{とすれば}$$

$$A_v = \frac{R_L}{R_e} \cdot \frac{h_{ie}}{h_{ie} + (h_{ie}h_{oe} - h_{fe}h_{re}) \cdot R_L} \quad (13)$$

となる。次段は **Grand Colector** であるので、初段の出力インピーダンス Z_0 が、信号源インピーダンスゆえに全体の出力インピーダンス Z_0' は

$$Z_0' = \frac{h_{ic} + Z_e}{h_{ic}h_{oc} - h_{fe}h_{re}}$$

但し, $Z_l = (h_{ie}h_{oe} - h_{fe}h_{re})R_L / \{h_{ic} + Z_g + (h_{ie}h_{oe} - h_{fe}h_{re})R_L\}$

$h_{ie} \gg Z_g$ の条件を入れると

$$Z_0' = \frac{\{h_{ic}\{h_{ie} + (h_{ie}h_{oe} - h_{fe}h_{re})R_L\} + (h_{ic}h_{oe} - h_{fe}h_{re})R_L\}}{(h_{ic}h_{oc} - h_{fe}h_{re})\{h_{ie} + (h_{ie}h_{oe} - h_{fe}h_{re})R_L\} + h_{oc}(h_{ie}h_{oe} - h_{fe}h_{re})R_L} \quad (14)$$

ところで **Grand colector** と **emitter** の間には次の関係がある。

$$h_{ic} = h_{ie}$$

$$h_{oc} = h_{oe}$$

$$h_{rc} = (1 - h_{re})$$

$$h_{fc} = -h_{fe}$$

又, $h_{re} \gg 1$, $h_{ic}h_{oe} \ll h_{fe}$ から

$$\begin{aligned} Z_0' &= \frac{h_{ie} \{h_{ie} + (h_{ie}h_{oe} - h_{fe}h_{re})R_L\} + (h_{ic}h_{oe} - h_{fe}h_{re})R_L}{(h_{fe} + h_{oe}) \{h_{ie} + (h_{ic}h_{oe} - h_{fe}h_{re})R_L\} + h_{oe}(h_{ic}h_{oe} - h_{fe}h_{re})R_L} \\ &= \frac{(1 + h_{ie}) \{(h_{ic}h_{oe} - h_{fe}h_{re})R_L\} + h_{ie}^2}{h_{ie}(h_{fe} + h_{oe}) + (h_{ic}h_{oe} - h_{fe}h_{re})(h_{fe} + 2h_{oe})R_L} \end{aligned} \quad (15)$$

さらに $h_{fe} \gg h_{oe}$, $h_{ie} \gg 1$ とすれば

$$Z_0' = \frac{h_{ie}}{h_{fe}} \quad (16)$$

と非常に簡略化, すなわち, トランジスタの定数のみに依存し, 一般に数 $10[\Omega]$ 以下と低く, トリガ素子のスイッチング後の保持電圧 E_H がペDESTAL電圧 E_{pd} よりも高い場合は, E_H から R_1 を通して放電されるのは $\varepsilon_q(11)$, $\varepsilon_q(11)'$ となる。

以上からも分る通り, 保持電圧 E_H の低いトリガ素子を選択すればよく, 更に, 高精度を要求されるならば, 次のようにすればよい。

Table. 1 Characteristics of used pulse-element at phase control circuit.

	DIAC	UJT	SBS	at Fig. 4, Fig. 5
switching voltage E_S [V]	28~45	3.4~	6.0~	3.4~
switching current I_S [mA]	~0.2		~0.5	
holding voltage E_H [V]	10~	0.7~1.8	0.7	~0.1
holding current I_H [mA]			1.5	
out put pulse voltage [V]	3.0~		3.5	

Fig. 5 (b) は, サイリスタのゲート・トリガパルスの出力の一部を $10[\mu s]$ 程度の遅延時間をもたせ, その信号で, 移相コンデンサにパラレルに接続されたトランジスタを導通させ電荷を放電させるものである。

ゲート電圧は近似的に $i_g \cdot r_{ga}$ であるが,

$$r_1 + r_2 < r_3$$

とすれば

$$\frac{r_2}{r_1 + r_2} \cdot i_g r_{ga}$$

となるが, そのベース電流 i_b , コレクタ電流 i_c は

$$i_b = \frac{\frac{r_3}{r_1 + r_2} \cdot Z}{h_{ie}Z + r_3(h_{ie} + Z)} \cdot i_g \cdot r_{ga}$$

但し, $Z : r_4 / (1 + j\omega cr_4)$

$$= \frac{r_2 r_4 i_g r_{ga} / (r_1 + r_2) (1 + j\omega cr_4)}{h_{ie} \{ 1 + r_3 / r_4 \cdot (1 + j\omega cr_4) \} + r_3} \quad (17)$$

したがって

$$i_c = \frac{r_2 r_4 i_g r_{ga} h_{ie} / (r_1 + r_2) (1 + j\omega cr_4)}{h_{ie} \{ 1 + r_3 / r_4 \cdot (1 + j\omega cr_4) + r_3 / h_{ie} \}} \quad (18)$$

この電流が流れる時間は $0.1 \sim 10 [\mu s]$ の範囲になり, c_1 の電荷を放電するには充分である。又, その残留電圧は, トランジスタの選択にもよるが $0.1 [V]$ 以下に出来る。

Fig. 5 (a), (b) いずれに於いても, トランジスタの飽和コレクタ電圧によって決まり, Fig. 5 (b) ではトランジスタの h_{fe} の低いものでも可能である。

4 結 言

サイリスタの応用は, 数かぎり無い多く考えられる。その一方面である位相制御は, 回路構成が比較的簡単になるにもかかわらず大電力の制御を可能にしている。入出力関係が非線形であることから, 出力がステップ状になったり, ヒステリシス現象を起させる原因の一つとなる。

この原因は, 位相制御している時に生じる移相回路のコンデンサの残留電圧 E_0 が, 各周期で異なることによる。もし, E_0 がある一定ならば, 問題はなく, この電圧を理想的には 0 にするのが良い。本論文では, 可能な限り 0 に近付けることを目的にし, 現在における限界と考えられる。

自動制御端子を設ける為に, ランプ・ペデスタル法を用い, ランプに正弦波, 台形波, 三角波および鋸歯状波等考えられるが, 台形波で試みた。その結果は, 非常に良好で, 制御範囲も $0.03 \sim 0.97$ とカバーできた。

トリガ素子の保持電圧の低いものが得られれば申し分ないが Table 1 に示した通り, $0.7 [V]$ 以下の素子は未だない。

飽和電圧の低いトランジスタを使用すればそれだけ E_0 を低くし得る。今回は E_0 を $0.1 [V]$ にすることが出来た。もし可能ならば, サイリスタ導通期間の移相回路への電源供給は断にするのが良い。

参 考 文 献

- 1) 青木泰師; サイリスタ位相制御におけるターンオン, ターンオフ時の素子の状態について (立命館大学理工学研究紀要21号 (1971)), p. 10
- 2) 例えば GE 著, 東芝記; SCR マニュアル, (オーム, 1968), p. 195
- 3) 青木泰師; スナップオン現象の改善, (立命館大学理工学研究紀要18号 (1969)), p. 18

(著者電気工学科)