

MOD法による (Ba, Sr) TiO₃ 薄膜の作製

吉 田 浩 二**・金 井 兼*
澤 崎 正 廣*・白 藤 純 嗣*

Preparation of (Ba, Sr) TiO₃ Thin Films by MOD Method

Koji Yoshida, Ken Kanai, Masahiro Sawazaki and Junji Shirafuji

(Ba,Sr)TiO₃ thin films have been prepared on Pt(111)/Ti/SiO₂/Si substrates by MOD method. It is found by x-ray diffraction analysis that grain in the deposited films align preferentially in the (110) or (100). EPMA analysis shows that the Sr composition of the deposited films is considerably increase of Ba dissociation during crystallization process. In the relative permittivity – temperature characteristics for films with the nominal composition of Ba_{0.9}Sr_{0.1}Ti_{0.95}O₃, the first transition temperature appears at 26.2 °C and the second one is observed at –16.5 °C.

1. はじめに

1970 年, 1 kbit の Dynamic Random Access Memory (DRAM) が登場し, 以来, 常に最先端の微細加工技術を適用し, 集積度を急速に拡大しつつ, 情報通信技術をリードしてきた. 世界市場での DRAM の規模は, 2000 年の予測では 2.5 兆円弱であり, 半導体市場の 15% 程度を占めている. 現在は, デザインルール 130 nm の 256 Mbit が主流である. さらに, 東芝とソニーがデザインルール 100 nm の MOSFET 開発に成功し, 学会発表されている²⁾. この 30 年間で, DRAM のメモリー容量は 10⁶ 倍にまで増加した. 1 Gbit は 2³⁰ bit であり, 実に 10 億個のメモリーセルと, それを動作させるための数千万個

のトランジスタが, 数センチ角のチップに搭載されている. これを可能にしたのは, リソグラフィーやドライエッチングなどの最先端微細加工技術であるのは間違いないが, 微細加工技術だけでは高集積化は達成されない. そこにはキャパシター絶縁膜の薄膜化が重要なポテンシャルを占めている³⁾.

DRAM はこれまで, メモリーセルサイズを 1 世代ごとに約 0.41 倍に縮小され, さらに, チップ面積は 1.5 倍に大きくなってきた. チップ面積の増加によるウェハー当りのチップ取得数の減少は, ウェハーサイズを大きくすることで吸収してきたが, 96 年の DRAM 価格暴落が急激に始まり半導体不況により, ウェハーの大口径化の歩みにブレーキがかかっ

* 電気電子工学科 ** 電気工学専攻大学院生

た．そのため，DRAM では，チップ面積を縮小して取れるチップ数を増加させることが，コスト削減の最優先課題となった．一方，DRAM の安定動作のためにはキャパシター容量値は寸法の縮小のように低減することができない．そのため，セルサイズが縮小されてもキャパシター容量値を一定以上の値に保つ工夫も DRAM セル開発にとって重要な問題である．キャパシターに蓄えられる電荷量 Q は $Q = CV$ であり，静電容量 C は $C = \epsilon_0 \epsilon_r A/d$ である．微細化してキャパシター面積が小さくなるメモリーセルでは，比誘電率が大きく，かつ， d が小さい絶縁膜が要求される．最先端の微細加工技術は，集積度の向上だけではなく，チップ面積の縮小に伴うキャパシター容量の保持も重要なステータスになった．

このように超高集積化に伴い DRAM はキャパシター絶縁膜の薄膜化，高誘電率化が求められるようになった．しかしながらキャパシター薄膜の現在得られているデータは，成膜条件，誘電体材料，電極材料などの研究対象が広く，キャパシター薄膜の特性を統一的に理解することが困難である⁴⁾．

256 Mbit までの DRAM のキャパシター材料には SiO_2 が使われていた．キャパシターの薄膜化が進む中で，動作可能な容量を確保する反面，絶縁不可能な膜厚にまで薄くしなければ容量を確保できなくなっている．1 Gbit 以上のキャパシターにはより大きな比誘電率を持つ高誘電率膜が必要であり， d が大きくても ϵ_r が大きい容量を確保できるのである． SiO_2 の代わりの高誘電率材料にはペロブスカイト構造を持つ SrTiO_3 ，あるいは $(\text{Ba}, \text{Sr})\text{TiO}_3$ (BST) を適用する試みが活発

に行われている．BST の室温におけるバルクの比誘電率は 1500 程度と見積もられ⁵⁾，R.J.Cava らにより 20℃における多結晶セラミックスの比誘電率は 1430 と報告された⁶⁾．また，Pt/BST/Pt 薄膜では，BST の厚さ 150 nm における比誘電率は 560 と報告された⁷⁾．このような高誘電率膜の採用はメモリー面積が縮小されても十分な容量を得ることができると考えられる．

本実験では BST 薄膜を MOD 法により作製し，X 線回折，組成分析，比誘電率測定を行った．X 線回折測定により配向性を調べると，(110)，(200)面に回折ピークが見られ，ある程度の配向が認められた．組成分析を行った結果，BST 薄膜の成膜過程において Ba 濃度の減少が確認され，Ba 濃度が高いほど組成ずれが大きいことがわかった．

比誘電率の温度依存性では第 1，第 2 相転移点が観測され，第 1 相転移温度は 26.2 °C，第 2 相転移温度は -16.5 °Cであった．

2. 実験方法

MOD 法により薄膜試料を作製した．成膜において組成ずれは成膜方法によって様々であるが，熱 CVD 法では，成膜温度を 470～520 °Cまで変化させると $(\text{Ba} + \text{Sr})/\text{Ti}$ 比が約 1 から 0.5 まで変化すること⁸⁾，他の報告では，成膜温度 410～450 °Cにかけて $(\text{Ba} + \text{Sr})/\text{Ti}$ 比が約 3 から約 1 まで大きく変化することも報告されている⁹⁾．また，MOD や Sol-Gel 法では， $x=30\%$ のとき， $\text{Ba} : \text{Sr} : \text{Ti} = 70 : 30 : 95$ の割合で混合し成膜すると良質な膜が得られるとされている¹⁰⁾．

BST 薄膜の作製には，高純度化学製の BaO ，

SrO 、 TiO_2 用の MOD 溶液を使用し、それぞれの原料を mol 比で $\text{Ba}_{1-x}\text{Sr}_x\text{Ti}_{0.95}\text{O}_3$ になるよう混合した。結晶化処理後の組成を目標値に近づけるため Ti 濃度を 95%とし、Sr 濃度 x は $x=10, 30, 50$ %の3種類(以後, BST10, BST30, BST50 と略す)を作製し、酢酸ブチルで2倍に薄め、前駆体溶液とした。

基板には Pt(111)/Ti/SiO₂/Si 基板を使用し、膜厚はそれぞれ Pt-300 nm, Ti-20 nm, SiO₂-600 nm であった。0.2 μm のフィルターを取り付けたシリンジを用いて、前駆体溶液に含まれるほこりやゴミをあらかじめろ過した。マイクロピペットで 10 μl の溶液を基板上に滴下した後、スピナーの回転数を 500 rpm で3秒間回し、3000 rpm まで回転数を

上げて溶液をできるだけ薄くかつ平坦に広げた。図1は成膜工程を示している。スピノンコーティング、乾燥、予備熱処理の工程を3回繰り返した後、700°Cで結晶化を行った。さらにスピノンコーティング、乾燥、予備熱処理の工程を3回繰り返した後、結晶化を行った。以上のようにスピノンコーティング、乾燥、予備加熱処理の工程を6サイクルと2度の結晶化処理を行って試料を作製した。結晶化処理は赤外線イメージ炉（真空理工 RHL-E410P）を用いて RTA (rapid thermal annealing：急速加熱処理)を行っている。

試料の膜厚の見積もりには SEM（日本電子 JSM-6300R）を用い、試料断面を観察した。また組成分析は同 SEM に附属の EPMA

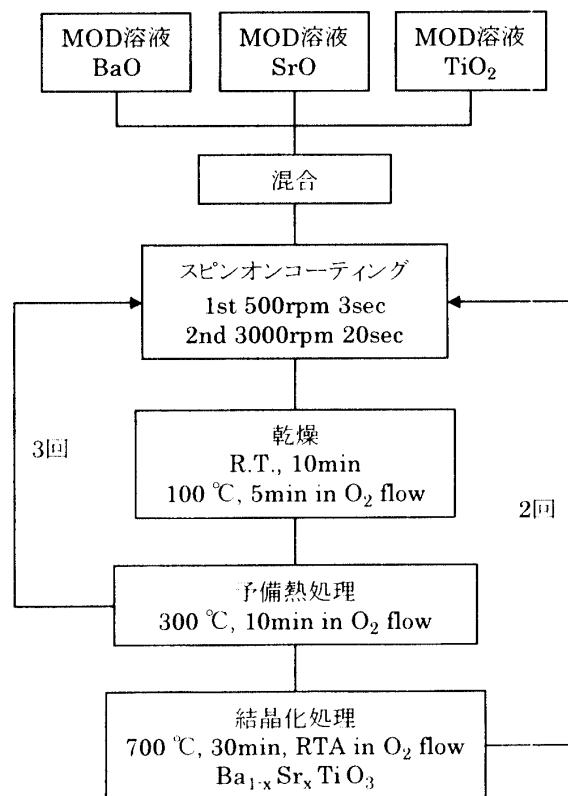


図1. 試料作成工程

装置を用いて行った。

個々の試料について X 線回折測定を行い、配向性を確認した。X 線回折測定で得られた回折ピークは ICDD カードに基づき指数付けを行った。

3. 実験結果と考察

3.1 SEM および組成分析

MOD 法によって作製した BST 試料の試料

断面を SEM 観察した。図 2 は BST50 の試料断面の SEM 像である。1 μm の基準から BST の膜厚は 225 nm と見積もられる。

表 1 に種々の BST 試料の組成分析結果を示す。EPMA 装置を用いて試料表面近傍の組成を半定量分析したもので、単位は atom% を使って表している。試料 BST10 において 3 種金属の比は Ba が 34.8 %，Sr が 18.0 %，Ti が 47.3 % である。これより $\text{Sr}/(\text{Ba} + \text{Sr})$ の関係を用いて求めた焼結後の Sr の組成は

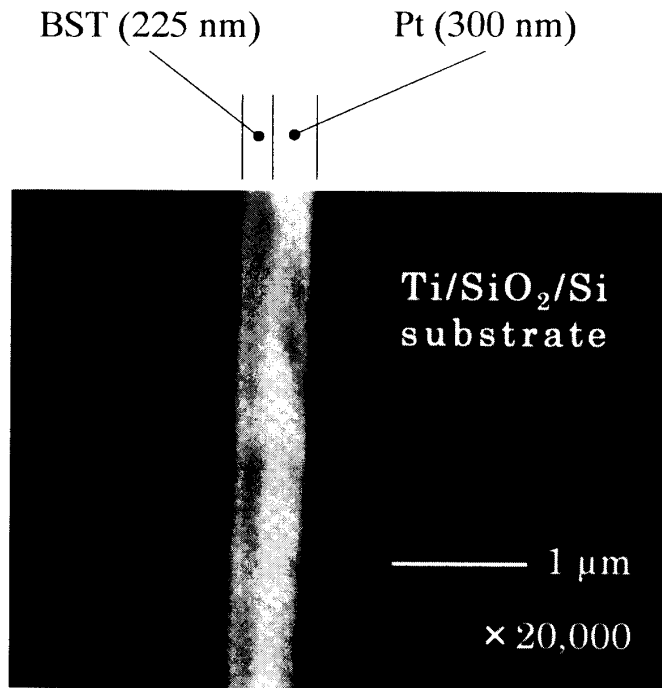


図 2. BST50 の試料断面の SEM 像

表 1. 種々の BST 試料の組成分析 (単位: atom%)

Sample	Ba	Sr	Ti	$\frac{\text{Sr}}{\text{Ba} + \text{Sr}}$ [%]
BST10	34.8	18.0	47.3	34.1
BST30	30.5	20.5	49.0	40.2
BST50	21.5	29.6	48.9	57.9

約 34 % と見積もられる。BST の仕込み Sr 濃度 $x=10\%$, 30% , 50% のとき、焼結後の Sr 濃度はそれぞれ、34.1 % , 40.2 % , 57.9 % と見積もられた。Ba 濃度が高いほど、組成ずれが大きく結晶化処理時の Ba 原子の脱離が組成ずれの主原因であると考えられる。

3.2 X 線回折

作製した BST 試料の配向性を確かめるために X 線回折測定を行った。図 3 に種々の BST 試料の X 線回折パターンを示す。40.2 deg には Pt(111) の回折ピークがはっきりと見られ、その両側の 32 deg と 46 deg 付近には BST の回折ピークが見られる。それぞれ BST の (110) と (200) 反射であるが、回折強度は優先配向と言えるほどには強くない。Sol-Gel 法で作製した BST20 において、(100)

に比べ (110) に優先配向する結果が報告されている¹¹⁾。誘電体薄膜の配向特性は熱処理条件によって変わるので、優先配向を得るための結晶化処理条件の決定は今後の課題である。

X 線回折測定において、測定試料が室温で強誘電相であれば (110) と (101) の回折ピークは分離する。BST10 は比誘電率の温度依存性より常誘電相と強誘電相の相点移転が約 26 °C である (3.3 参照)。BST10 は室温において強誘電相であり、回折ピークは分離していると考えられる。しかし、X 線回折装置の分解能を低く設定しているため、回折ピークが重なって見えている。

3.3 比誘電率の温度依存性

BST は高誘電率材料であり、DRAM のキャパシター絶縁膜として最も期待されている。

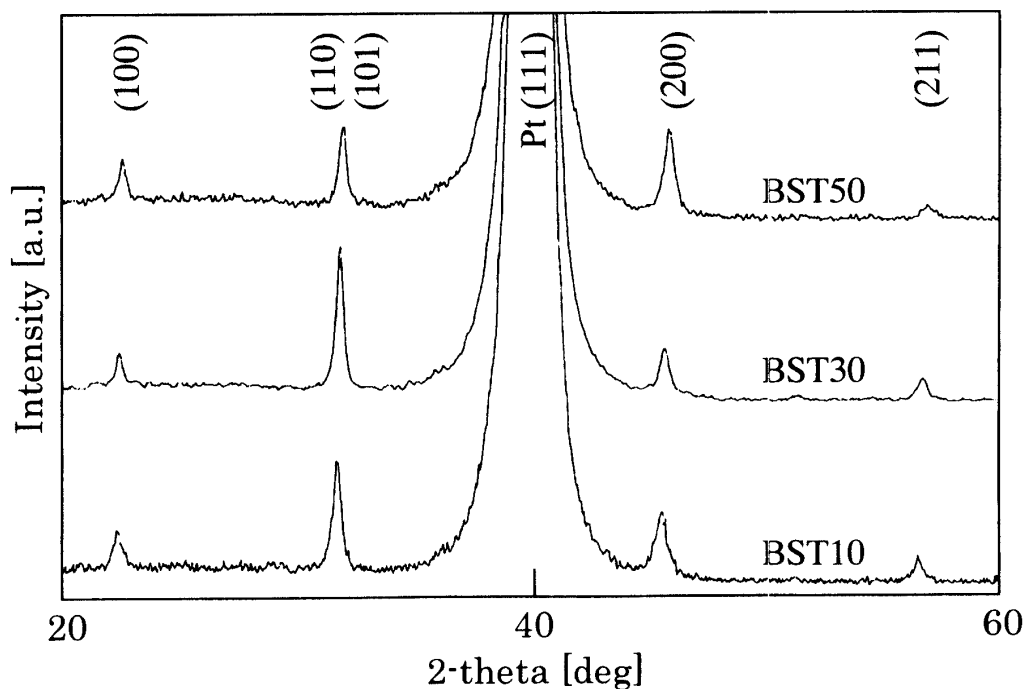


図 3. 種々の BST 試料の X 線回折パターン

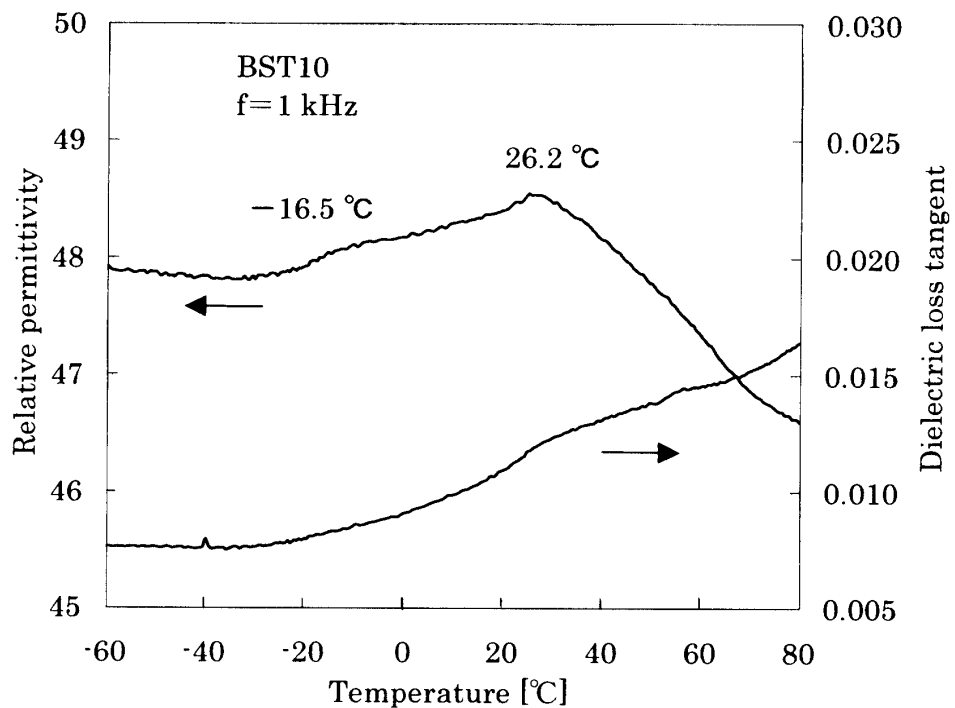


図 4. BST10 に対する比誘電率および誘電正接の温度依存性

図 4 に BST10 に対する比誘電率および誘電正接の温度依存性を示す．図 4 の結果は第 1 相の立方晶から第 2 相の正方晶への転移温度は 26.2 °C，第 3 相の斜方晶への転移温度は -16.5 °Cであることを示していると考えられる．しかし，比誘電率が小さく，また相転移時のピークも非常にブロードである．X 線回折から回折強度が小さく配向性が低いことが比誘電率の低減する原因の一つだと考えられる．また誘電体薄膜と電極間の界面における酸素欠陥相が低誘電率相になり，酸素アニールにより酸素欠陥相を排除できることが知られている¹²⁾．

BST30, BST50 においては測定温度範囲内で相転移温度を確認できなかった．

4. まとめ

MOD 法を用いて BST 薄膜の作製を試みた．(100)(110)および弱い(211)回折ピークが観測され，粉末試料のような完全なランダムでなく，結晶粒にはある程度の配向があるということがわかる．しかし，回折ピークの強度の比較からは優位な配向方位を特定できなかった．

3 種金属の組成分析を行った結果，Ba 濃度の減少が確認された．その結果，見かけ上 Sr 濃度比が増加し，組成ずれが生じている．Ba 仕込み濃度が高いほど，組成ずれが大きいことがわかった．結晶化処理後の組成を目標値に近づけるには作製濃度によって Ba 濃度を調節する必要がある．

比誘電率の温度依存性で BST10 については第 1，第 2 相転移温度を観測できた．第 1

相転移温度は約 26.2 °C, 第 2 相転移温度は -16.5 °C である。しかし比誘電率の値は文献で報告されている値と比べて小さい値である⁷⁾。

誘電体薄膜の膜質, 配向性, 組成, 比誘電率などは熱処理条件によって大きく変化する。結晶化処理の温度, 時間の最適化, あるいはスピンオンコーティング・乾燥・予備熱処理サイクルの回数の調整などにより, 優先配向の明確な膜を作成できると考えられる。結晶化処理条件を決定し, 高誘電率膜を成膜させることが今後の課題である。

参考文献

- 1) W.M.Regitz and J.A.Karp, *IEEE J. Solid-state Circuits*, SC-5 (1970) 181.
- 2) A.Oishi, R.Hasumi, Y.Okayama, K.Miyashita, M.Oowada, S.Aota, T.Nakayama, M.Matsumoto, N.Inada, T.Hiraoka, H.Yoshimura, Y.Asahi, Y.Takegawa, T.Yoshida, K.Sunouchi, A.Yasumoto, Y.Tateshita, M.Ueshima, T.Morikawa, T.Umebayashi, T.Gocho, F.Matsuoka, T.Noguchi and M.Kakumu, *2001 IEEE International Electron Devices Meeting*, 22-4 (2001).
- 3) 木村紳一郎, *応用物理*, 69 (2000) 1233.
- 4) 清水達雄, 川久保隆, *応用物理*, 70 (2001) 33.
- 5) K.H.Hellwege, *Landolt-Bornstein, New Ser.* 16, (1981) 416.
- 6) R.J.Cava, W.F.Peck Jr., J.J.Krajewski and D.A.Fleming, *Appl. Phys. Lett.*, 67 (1995) 3813.
- 7) C.Hwang, B.Lee, C.Kang, J.Kim, K.Lee, H.Cho, H.Horii, W.Kim, S.Lee, Y.Roh and M.Lee, *J. Appl. Phys.*, 83 (1998) 3700.
- 8) 多留谷政良, 山向幹雄, 平野則子, 川原孝昭, 堀川剛, 斧高一, 第 45 回応用物理関係連合講演会講演予稿集, (1998) 515.
- 9) C.Kang, H.Cho, C.Hwang, B.Lee, *Jpn. J. Appl. Phys.*, 36 (1997) 6946.
- 10) 三菱マテリアル, 私信.
- 11) J.Cheng, J.Tang, S.Guo and J.Chu, *J. Mater. Res.*, 16 (2001) 778.
- 12) P.Chen, H.Miki, Y.Shimamoto, Y.Matsui, M.Hiratani and Y.Fujisaka, *Jpn. J. Appl. Phys.*, 37 (1998) 5112.

(平成 13 年 12 月 6 日受理)